

Docket No.: 63979-039

**PATENT**

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re Application of : Customer Number: 20277

**Kenji TOYODA, et al.** : Confirmation Number:

Serial No.: : Group Art Unit:

Filed: January 28, 2004 : Examiner:

For: VOLTAGE GENERATING CIRCUIT, VOLTAGE GENERATING DEVICE AND  
SEMICONDUCTOR DEVICE USING THE SAME, AND DRIVING METHOD THEREOF

**CLAIM OF PRIORITY AND  
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Mail Stop CPD  
Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

Sir:

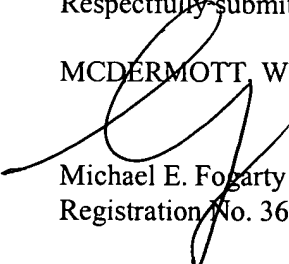
In accordance with the provisions of 35 U.S.C. 119, Applicants hereby claim the priority of:

**Japanese Patent Application No. 2002-310032, filed October 24, 2002**

cited in the Declaration of the present application. A certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY

  
Michael E. Fogarty  
Registration No. 36,139

600 13<sup>th</sup> Street, N.W.  
Washington, DC 20005-3096  
(202) 756-8000 MEF:mcw  
Facsimile: (202) 756-8087  
**Date: January 28, 2004**

63979-039

K. TOYODA et al

Jan 28<sup>th</sup>, 2004

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

McDermott, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日                      2 0 0 2 年 1 0 月 2 4 日  
Date of Application:

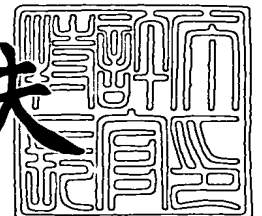
出 願 番 号                      特 願 2 0 0 2 - 3 1 0 0 3 2  
Application Number:  
[ST. 10/C]:                      [ J P 2 0 0 2 - 3 1 0 0 3 2 ]

出 願 人                      松 下 電 器 産 業 株 式 会 社  
Applicant(s):


2 0 0 3 年    8 月 1 2 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康 夫



出証番号    出証特 2 0 0 3 - 3 0 6 4 8 1 8

【書類名】 特許願

【整理番号】 2030240013

【提出日】 平成14年10月24日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 25/00  
H01L 29/772  
H03K 25/12

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 豊田 健治

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 上田 路人

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 森本 廉

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 森田 清之

【特許出願人】

【識別番号】 000005821

【氏名又は名称】 松下電器産業株式会社



【代理人】

【識別番号】 100077931

【弁理士】

【氏名又は名称】 前田 弘

【選任した代理人】

【識別番号】 100094134

【弁理士】

【氏名又は名称】 小山 廣毅

【選任した代理人】

【識別番号】 100110939

【弁理士】

【氏名又は名称】 竹内 宏

【選任した代理人】

【識別番号】 100110940

【弁理士】

【氏名又は名称】 嶋田 高久

【選任した代理人】

【識別番号】 100113262

【弁理士】

【氏名又は名称】 竹内 祐二

【選任した代理人】

【識別番号】 100115059

【弁理士】

【氏名又は名称】 今江 克実

【選任した代理人】

【識別番号】 100115510

【弁理士】

【氏名又は名称】 手島 勝



## 【選任した代理人】

【識別番号】 100115691

【弁理士】

【氏名又は名称】 藤田 篤史

## 【手数料の表示】

【予納台帳番号】 014409

【納付金額】 21,000円

## 【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0006010

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 電圧発生回路、その駆動方法及び半導体集積回路

【特許請求の範囲】

【請求項 1】 誘電体膜及びこれを挟む 2 つの電極をそれぞれ有し、少なくともいずれか一方が強誘電体キャパシタである第 1 及び第 2 のキャパシタと、  
上記第 1 及び第 2 のキャパシタの各一方の電極同士を接続する接続ノードと、  
上記接続ノードの電圧を出力するための出力端子と、  
上記第 1 及び第 2 のキャパシタの各他方の電極に電圧をそれぞれ供給するための第 1 及び第 2 の端子と  
を有し、上記第 1 及び第 2 の端子のうちいずれか一方の端子に供給される電圧を昇圧した電圧を上記接続ノードに生成するように構成された電圧発生部  
を備えている電圧発生回路。

【請求項 2】 請求項 1 記載の電圧発生回路において、  
上記電圧発生部に配置され、上記接続ノードと上記出力端子との間に介設された第 1 のスイッチ素子をさらに備えていることを特徴とする電圧発生回路。

【請求項 3】 請求項 1 又は 2 記載の電圧発生回路において、  
上記電圧発生部に配置され、電源電圧を供給するための電源電圧供給端子と、  
上記電源電圧供給端子と上記接続ノードの間に介設された第 2 のスイッチ素子をさらに備えていることを特徴とする電圧発生回路。

【請求項 4】 請求項 1～3 のうちいずれか 1 つに記載の電圧発生回路において、

上記第 1 及び第 2 の端子に、上記電圧を高レベルと低レベルとに切り換えて供給するための制御部をさらに備えていることを特徴とする電圧発生回路。

【請求項 5】 請求項 4 記載の電圧発生回路において、  
上記電圧発生部から出力される出力電圧を検知するための電圧検知部をさらに備え、

上記制御部は、上記電圧検知部で検知された上記出力電圧に応じて、上記電圧発生部を制御することを特徴とする電圧発生回路。

【請求項 6】 請求項 5 記載の電圧発生回路において、

上記電圧検知部は、

上記電圧発生部の出力電圧の絶対値が第1の所定値以下のときには、上記制御部に上記電圧発生部を動作させる信号を出力し、

上記電圧発生部の出力電圧の絶対値が上記第1の所定値よりも高い第2の所定値以上のときには、上記制御部に上記電圧発生部を停止させる信号を出力することを特徴とする電圧発生回路。

【請求項7】 請求項4～6のうちいずれか1つに記載の電圧発生回路において、

上記電圧発生部を複数個直列に配置して、1つ電圧発生部の出力電圧をその後段に配置された他方の電圧発生部で昇圧するように構成されていることを特徴とする電圧発生回路。

【請求項8】 請求項4～6のうちいずれか1つに記載の電圧発生回路において、

上記電圧発生部及び上記制御部は、各々2つずつ配置されており、

上記各電圧発生部の各出力端子が共通化されていることを特徴とする電圧発生回路。

【請求項9】 誘電体膜及びこれを挟む2つの電極を有する第1のキャパシタと、強誘電体膜及びこれを挟む2つの電極を有する第2のキャパシタと、上記第1及び第2のキャパシタの各一方の電極同士を接続する接続ノードと、上記接続ノードの電圧を出力するための出力端子と、上記第1及び第2のキャパシタの各他方の電極に電圧をそれぞれ供給するための第1及び第2の端子と、上記接続ノードと上記出力端子との間に介設された第1のスイッチ素子と、電源電圧を供給するための電源電圧供給端子と、上記電源電圧供給端子と上記接続ノードの間に介設された第2のスイッチ素子とを備えた電圧発生部を有する電圧発生回路の駆動方法であって、

上記第1の端子に第1の電圧を印加するとともに、上記第2の端子に上記第1の電圧よりも高い第2の電圧を印加する第1の期間と、

上記第1の端子に被昇圧電圧を印加するとともに、上記第1のスイッチ素子をオン状態にして、上記接続ノードに発生した電圧を上記出力端子に出力する第2

の期間と、

上記第2のスイッチ素子をオン状態にして、上記接続ノードに上記第2の電圧を印加するとともに、上記第2の端子に上記第1の電圧を印加した後、上記第2のスイッチ素子をオン状態に上記第1および上記第2の端子に上記第2の電圧をそれぞれ印加する第3の期間とを含み、

上記第1～第3の期間の動作を繰り返す電圧発生回路の駆動方法。

【請求項10】 請求項9記載の電圧発生回路の駆動方法において、

上記電圧発生部から出力される出力電圧を検知するための電圧検知部をさらに備え、

上記電圧検知部で検知された上記出力電圧に応じて、上記電圧発生部を制御することを特徴とする電圧発生回路の駆動方法。

【請求項11】 請求項10記載の電圧発生回路の駆動方法において、

上記電圧検知部から、上記電圧発生部の出力電圧の絶対値が第1の所定値以下のときには、上記制御部に上記電圧発生部を駆動させる信号を出力する一方、上記電圧発生部の出力電圧の絶対値が上記第1の所定値よりも高い第2の所定値以上のときには、上記制御部に上記電圧発生部を停止させる信号を出力することを特徴とする電圧発生回路の駆動方法。

【請求項12】 請求項9～11のうちいずれか1つに記載の電圧発生回路の駆動方法において、

上記電圧発生部及び上記制御部は、各々2つずつ配置されており、

上記各電圧発生部の各出力端子が単一の出力端子に共通化されていて、

上記各電圧発生部を、互いに半周期ずつずれて上記第1～第3の期間を繰り返すように動作させることを特徴とする電圧発生回路の駆動方法。

【請求項13】 少なくとも1つの信号配線と、

上記少なくとも1つの信号配線に介設され、ゲートに受ける信号に応じて信号配線における信号の流通をオン・オフするための少なくとも1つのパストランジスタと、

上記少なくとも1つのパストランジスタのゲートに電源電圧よりも高い電圧を供給するための少なくとも1つの電圧発生回路と、



上記少なくとも 1 つの電圧発生回路と上記少なくとも 1 つのバストランジスタのゲートとの間に介設された少なくとも 1 つのスイッチ素子とを備えた半導体集積回路であって、

上記電圧発生回路は、

誘電体膜及びこれを挟む 2 つの電極をそれぞれ有し、少なくともいずれか一方が強誘電体キャパシタである第 1 及び第 2 のキャパシタと、

上記第 1 及び第 2 のキャパシタの各一方の電極同士を接続する接続ノードと、

上記接続ノードの電圧を出力するための出力端子と、

上記第 1 及び第 2 のキャパシタの各他方の電極に電圧をそれぞれ供給するための第 1 及び第 2 の端子とを有し、上記第 1 及び第 2 の端子のうちいずれか一方の端子に供給される電圧を昇圧した電圧を上記接続ノードに生成するように構成された電圧発生部を備えている

ことを特徴とする半導体集積回路。

【請求項 14】 請求項 13 記載の半導体集積回路において、

第 1 及び第 2 のロジック回路をさらに備え、

上記少なくとも 1 つの信号配線は、上記第 1 のロジック回路と上記第 2 のロジック回路とを接続するものであることを特徴とする半導体集積回路。

【請求項 15】 請求項 13 記載の半導体集積回路において、

ロジック回路と、

上記ロジック回路から出力されるロジック信号が流れる複数の配線とをさらに備え、

上記少なくとも 1 つの信号配線は、上記ロジック回路と、上記複数の配線との間にそれぞれ設けられた複数の信号配線であり、

上記少なくとも 1 つのバストランジスタは、上記複数の信号配線にそれぞれ介設された複数のバストランジスタであり、

上記少なくとも 1 つの電圧発生回路は、上記複数のバストランジスタの各ゲートに昇圧電圧を供給するための複数の電圧発生回路であり、

上記少なくとも 1 つのスイッチ素子は、上記各バストランジスタのゲートと上記各電圧発生回路との間に介設された複数のスイッチ素子であることを特徴とす

る半導体集積回路。

【請求項 16】 請求項 13 記載の半導体集積回路において、

上記少なくとも 1 つの信号配線は、2 つの入力信号をそれぞれ受ける 2 つの信号配線であり、

上記少なくとも 1 つのパストランジスタは、上記 2 つの信号配線にそれぞれ介設された 2 つのパストランジスタであり、

上記少なくとも 1 つの電圧発生回路は、上記 2 つのパストランジスタの各ゲートに昇圧電圧を供給するための単一の電圧発生回路であり、

上記少なくとも 1 つのスイッチ素子は、上記各パストランジスタのゲートと上記各電圧発生回路との間に介設された 2 つのスイッチ素子であって、

上記 2 つのパストランジスタのうちいずれか一方をオンに、他方をオフにすることにより、上記 2 つの入力信号のうちいずれか 1 つの入力信号のみを通過させる選択回路として機能することを特徴とする半導体集積回路。

【請求項 17】 情報を記憶するための記憶部材と、ゲートに受ける信号に応じてオン・オフするパストランジスタとを有する複数のメモリセルを行列状に配置してなるメモリセルアレイと、

上記メモリセルアレイの行に沿って延び、上記各メモリセルのゲートに接続される複数の第 1 の信号配線と、

上記メモリセルアレイの列に沿って延び、上記各メモリセルのパストランジスタのソース又はドレインに接続される複数の第 2 の信号配線と、

上記各第 1 の信号配線に電源電圧よりも高い電圧をそれぞれ供給するための複数の電圧発生回路と、

上記各電圧発生回路と上記各第 2 の信号配線との間にそれぞれ介設された複数のスイッチ素子とを備えた半導体集積回路であって、

上記各電圧発生回路は、

誘電体膜及びこれを挟む 2 つの電極をそれぞれ有し、少なくともいずれか一方が強誘電体キャパシタである第 1 及び第 2 のキャパシタと、

上記第 1 及び第 2 のキャパシタの各一方の電極同士を接続する接続ノードと、

上記接続ノードの電圧を出力するための出力端子と、

上記第1及び第2のキャパシタの各他方の電極に電圧をそれぞれ供給するための第1及び第2の端子とを有し、上記第1及び第2の端子のうちいずれか一方の端子に供給される電圧を昇圧した電圧を上記接続ノードに生成するように構成された電圧発生部を備えていることを特徴とする半導体集積回路。

【請求項18】 請求項17記載の半導体集積回路において、

上記半導体集積回路は、DRAM, SRAM, FeRAM, MRAM及び相変化メモリのうちから選ばれるいずれか1つのメモリ回路であることを特徴とする半導体集積回路。

【請求項19】 複数の低しきい値MISトランジスタが配置されているロジック回路と、

上記ロジック回路に低レベル電圧を供給するための接地ラインと、

上記接地ラインに接地電圧を供給するための接地端子と、

上記接地端子と上記接地ラインとを接続する第1の信号配線と、

上記ロジック回路に高レベル電圧を供給するための電源ラインと、

上記電源ラインに電源電圧を供給するための電源端子と、

上記電源端子と上記電源ラインとを接続する第2の信号配線と、

上記第1の信号配線に介設され、ゲートに受ける信号に応じてオン・オフするnチャンネル型の高しきい値MISトランジスタと、

上記nチャンネル型の高しきい値MISトランジスタのゲートに上記電源電圧よりも高い電圧を供給するための第1の電圧発生回路と、

上記第1の電圧発生回路と上記nチャンネル型の高しきい値MISトランジスタのゲートとの間に介設された第1のスイッチ素子とを備えた半導体集積回路であって、

上記第1の電圧発生回路は、

誘電体膜及びこれを挟む2つの電極をそれぞれ有し、少なくともいずれか一方が強誘電体キャパシタである第1及び第2のキャパシタと、

上記第1及び第2のキャパシタの各一方の電極同士を接続する接続ノードと、

上記接続ノードの電圧を出力するための出力端子と、

上記第 1 及び第 2 のキャパシタの各他方の電極に電圧をそれぞれ供給するための第 1 及び第 2 の端子とを有し、上記第 1 及び第 2 の端子のうちいずれか一方の端子に供給される電圧を昇圧した電圧を上記接続ノードに生成するように構成された電圧発生部を備えていることを特徴とする半導体集積回路。

【請求項 20】 請求項 19 記載の半導体集積回路において、

上記第 2 の信号配線に介設され、ゲートに受ける信号に応じてオン・オフする p チャネル型の高しきい値 M I S トランジスタと、

上記 p チャネル型の高しきい値 M I S トランジスタのゲートに上記電源電圧よりも高い電圧を供給するための第 2 の電圧発生回路と、

上記第 2 の電圧発生回路と上記 p チャネル型の高しきい値 M I S トランジスタのゲートとの間に介設された第 2 のスイッチ素子とをさらに備え、

上記第 2 の電圧発生回路は、

誘電体膜及びこれを挟む 2 つの電極をそれぞれ有し、少なくともいずれか一方が強誘電体キャパシタである第 3 及び第 4 のキャパシタと、

上記第 3 及び第 4 のキャパシタの各一方の電極同士を接続する第 2 の接続ノードと、

上記第 2 の接続ノードの電圧を出力するための第 2 の出力端子と、

上記第 3 及び第 4 のキャパシタの各他方の電極に電圧をそれぞれ供給するための第 3 及び第 4 の端子とを有し、上記第 3 及び第 4 の端子のうちいずれか一方の端子に供給される電圧を昇圧した電圧を上記第 2 の接続ノードに生成するように構成された電圧発生部を備えていることを特徴とする半導体集積回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、入力された電圧を昇圧する機能を有する電圧発生回路、その駆動方法及びこれを利用した半導体集積回路に係り、特に昇圧電圧の保持の安定化対策に関する。

## 【0002】

## 【従来の技術】

近年、多数のMISトランジスタを集積して構成されるLSIの微細化が進んでいる。MISトランジスタは、スケーリング則にほぼしたがって微細化されつつあり、ゲート酸化膜が極薄になっている。そのため、ゲート酸化膜を通過するリーク電流の増加や信頼性低下を防止するために電源電圧の低電圧化が要求されている。具体的には、最小ゲート長が $0.13\mu\text{m}$ のルールでは、ゲート酸化膜の厚みは $1.5\sim 1.9\text{nm}$ で、電源電圧は $1.2\sim 1.5\text{V}$ である。MISトランジスタのゲート・ソース間の電圧が同じ場合、ドレインの電圧がソースの電圧よりしきい値分だけ低下して、しきい値ロスが発生する。これにより、信号の論理振幅が小さくなり、信頼性の低下を招くおそれがある。

## 【0003】

このような信頼性の低下を抑制するために、昇圧電圧を供給する手段を用いることが有効である。昇圧手段により、MISトランジスタのゲートに電源電圧より高い電圧を供給することで、しきい値ロスを防ぐことが可能である。しかし、1つのシステムにおいて、多種類の電源を独立に用意するのは得策ではなく、単一電源で済ませることが望ましい。この問題を解決する従来技術として、電源電圧から昇圧するブートストラップ回路がある。

## 【0004】

図14は、従来のブートストラップ回路の構成を示す電気回路図である。同図に示すように、従来のブートストラップ回路は、入力端子110から入力信号 $V_{in}$ を受けるゲートを有するnチャネル型MISFETである第1のMISトランジスタ101と、電源電圧 $V_{dd}$ を供給する電源電圧供給部であるノードN101と第1のMISトランジスタ101のドレインとの間に介設されたnチャネル型MISFETである第2のMISトランジスタ102とを備え、第1のMISトランジスタ101と、第2のMISトランジスタ102との接続部であるノードN102（第1MISトランジスタ101のドレインと第2のMISトランジスタのソースとに接続されるノード）が出力電圧 $V_{out}$ を出力するための出力端子111につながっている。そして、第2のMISトランジスタ102のゲートと

電源電圧供給部との間に、ゲートに電源電圧  $V_{dd}$  を受ける n チャンネル型 MISFET である第 3 の MIS トランジスタ 103 を設けるとともに、第 2 の MIS トランジスタ 102 のゲートにつながる接続ノード N103 とノード N102 との間にブートストラップ用のキャパシタ 104 を設けている。また、出力端子 111 と接地との間には、負荷キャパシタ 105 を介在させている。このように、第 2 の MIS トランジスタ 102 のゲートが高電圧でフローティングとなるように、キャパシタ 104 及び第 3 の MIS トランジスタ 103 を設けることにより、第 2 の MIS トランジスタ 102 のゲートの電圧を電源電圧以上に上昇させることが可能である。そして、以下のような作用によって、ノード N102 の電圧、つまり出力端子 111 から出力される出力電圧  $V_{out}$  を電源電圧  $V_{dd}$  に保持することが可能になる。

#### 【0005】

図 15 は、入力信号  $V_{in}$ 、出力電圧  $V_{out}$ 、接続ノード N103 の電圧  $V_{bt}$  の時間変化を示す図である。入力信号  $V_{in}$  が 5 V のとき、第 1 の MIS トランジスタ 101 はオン状態であるので、出力電圧  $V_{out}$  は 0 V となる。このとき、接続ノード N103 の電圧  $V_{bt}$  は、電源電圧  $V_{dd}$  から第 3 の MIS トランジスタ 103 のしきい値分だけ低下した値 ( $V_{dd} - V_{t3}$ ) である。つぎに、入力信号  $V_{in}$  を 5 V から 0 V に変化させると、第 1 の MIS トランジスタ 101 がオフ状態に移行するため、出力電圧  $V_{out}$  が上昇する。出力電圧  $V_{out}$  の上昇に伴い、キャパシタ 104 により接続ノード N103 の電圧  $V_{bt}$  も上昇する。そして、電圧  $V_{bt}$  が ( $V_{dd} - V_{t3}$ ) 以上に上昇すると、第 3 の MIS トランジスタ 103 はオフ状態となり、第 2 の MIS トランジスタ 102 のゲートはフローティングとなる。最終的に、接続ノード N103 の電圧  $V_{bt}$  は ( $2V_{dd} - V_{t3}$ ) まで上昇する。そして、第 2 の MIS トランジスタ 102 のゲートに十分高い電圧が印加されるため、出力電圧  $V_{out}$  はしきい値ロスなしに電源電圧 5 V まで上昇する。

#### 【0006】

ただし、係る先行技術は、文献公知発明に係るものではないため、記載すべき先行技術文献情報はない。

#### 【0007】

**【発明が解決しようとする課題】**

しかし、上記従来のブートストラップ回路においては、キャパシタ 104 の電荷がリークによって減少するために、長時間の間、接続ノード N103 の電圧を電源電圧以上の昇圧状態に保持することが困難であるという不具合がある。さらに、接続ノード N103 の電圧  $V_{bt}$  の上昇中に電圧  $V_{bt}$  がフローティングになると、各 MIS トランジスタ 102, 103 の各部に存在する寄生容量や寄生抵抗の影響により、電圧  $V_{bt}$  の電圧値が不安定になるという不具合もある。

**【0008】**

本発明の目的は、上記従来の昇圧回路とは異なる昇圧機構を利用することにより、昇圧状態を長時間の間安定に保持することが可能な電圧発生回路、その駆動方法及び半導体集積回路を提供することにある。

**【0009】****【課題を解決するための手段】**

本発明の電圧発生回路は、誘電体膜及びこれを挟む 2 つの電極をそれぞれ有し、少なくともいずれか一方が強誘電体キャパシタである第 1 及び第 2 のキャパシタと、上記第 1 及び第 2 のキャパシタの各一方の電極同士を接続する接続ノードと、上記接続ノードの電圧を出力するための出力端子と、上記第 1 及び第 2 のキャパシタの各他方の電極に電圧をそれぞれ供給するための第 1 及び第 2 の端子とを有し、上記第 1 及び第 2 の端子のうちいずれか一方の端子に供給される電圧を昇圧した電圧を上記接続ノードに生成するように構成された電圧発生部を備えている。

**【0010】**

これにより、第 1 の端子－第 2 の端子間に電圧を印加して強誘電体キャパシタに分極を生じさせることができる。したがって、その後、第 1 の端子又は第 2 の端子に被昇圧電圧である入力電圧を印加すると、入力電圧と分極による電圧とを加算した電圧、つまり昇圧電圧が接続ノードに生じる。これにより、比較的安定して長時間保持が可能な昇圧電圧を生成することが可能になる。

**【0011】**

上記電圧発生部に配置され、上記接続ノードと上記出力端子との間に介設され

た第1のスイッチ素子をさらに備えていることにより、接続ノードに生成された昇圧電圧を適切なタイミングで外部に出力することが可能になる。

【0012】

上記電圧発生部に配置され、電源電圧を供給するための電源電圧供給端子と、上記電源電圧供給端子と上記接続ノードの間に介設された第2のスイッチ素子をさらに備えていることにより、接続ノードに電源電圧を導入して、強誘電体膜の分極のリセットを行なうことなどが可能になる。

【0013】

上記第1及び第2の端子に、上記電圧を高レベルと低レベルとに切り換えて供給するための制御部をさらに備えていることにより、電圧発生部の動作モードを各種変更することが可能になる。

【0014】

上記電圧発生部から出力される出力電圧を検知するための電圧検知部をさらに備え、上記制御部は、上記電圧検知部で検知された上記出力電圧に応じて、上記電圧発生部を制御することにより、電圧発生部からの昇圧された出力電圧を安定させることが可能になる。

【0015】

上記電圧検知部は、上記電圧発生部の出力電圧の絶対値が第1の所定値以下のときには、上記制御部に上記電圧発生部を動作させる信号を出力し、上記電圧発生部の出力電圧の絶対値が上記第1の所定値よりも高い第2の所定値以上のときには、上記制御部に上記電圧発生部を停止させる信号を出力することにより、電圧発生部の出力電圧を第1の所定値と第2の所定値との間に安定して保持することが可能になる。

【0016】

上記電圧発生部を複数個直列に配置して、1つ電圧発生部の出力電圧をその後段に配置された他方の電圧発生部で昇圧するように構成されていることにより、多段に昇圧を行なって、所望の高電圧を得ることが可能になる。

【0017】

上記電圧発生部及び上記制御部は、各々2つずつ配置されており、上記各電圧



発生部の各出力端子が共通化されていることにより、電圧発生部の負荷電流を高く保持することができる。

#### 【0018】

本発明の電圧発生回路の制御方法は、誘電体膜及びこれを挟む2つの電極を有する第1のキャパシタと、強誘電体膜及びこれを挟む2つの電極を有する第2のキャパシタと、上記第1及び第2のキャパシタの各一方の電極同士を接続する接続ノードと、上記接続ノードの電圧を出力するための出力端子と、上記第1及び第2のキャパシタの各他方の電極に電圧をそれぞれ供給するための第1及び第2の端子と、上記接続ノードと上記出力端子との間に介設された第1のスイッチ素子と、電源電圧を供給するための電源電圧供給端子と、上記電源電圧供給端子と上記接続ノードの間に介設された第2のスイッチ素子とを備えた電圧発生部を有する電圧発生回路の駆動方法であって、上記第1の端子に第1の電圧を印加するとともに、上記第2の端子に上記第1の電圧よりも高い第2の電圧を印加する第1の期間と、上記第1の端子に被昇圧電圧を印加するとともに、上記第1のスイッチ素子をオン状態にして、上記接続ノードに発生した電圧を上記出力端子に出力する第2の期間と、上記第2のスイッチ素子をオン状態にして、上記接続ノードに上記第2の電圧を印加するとともに、上記第2の端子に上記第1の電圧を印加した後、上記第2のスイッチ素子をオン状態に上記第1および上記第2の端子に上記第2の電圧をそれぞれ印加する第3の期間とを含み、上記第1～第3の期間の動作を繰り返す方法である。

#### 【0019】

この方法により、第1の期間で強誘電体キャパシタに分極を発生させ、第2の期間で分極と被昇圧電圧とを加算した昇圧電圧を発生させ、これを出力端子に出力し、第3の期間で分極反転を行なうという一連の動作を実現することができ、電圧発生回路を円滑に機能させることが可能になる。

#### 【0020】

上記電圧発生部から出力される出力電圧を検知するための電圧検知部をさらに備え、上記電圧検知部で検知された上記出力電圧に応じて、上記電圧発生部を制御することが好ましい。

**【0021】**

上記電圧検知部から、上記電圧発生部の出力電圧の絶対値が第1の所定値以下のときには、上記制御部に上記電圧発生部を駆動させる信号を出力する一方、上記電圧発生部の出力電圧の絶対値が上記第1の所定値よりも高い第2の所定値以上のときには、上記制御部に上記電圧発生部を停止させる信号を出力することがより好ましい。

**【0022】**

上記電圧発生部及び上記制御部は、各々2つずつ配置されており、上記各電圧発生部の各出力端子が単一の出力端子に共通化されていて、上記各電圧発生部を、互いに半周期ずつずれて上記第1～第3の期間を繰り返すように動作させることにより、出力端子から昇圧電圧が出力される期間を長くすることが可能になり、出力電圧の変動を小さく抑制することができるとともに、負荷電流も高めることができる。

**【0023】**

本発明の第1の半導体集積回路は、少なくとも1つの信号配線と、上記少なくとも1つの信号配線に介設され、ゲートに受ける信号に応じて信号配線における信号の流通をオン・オフするための少なくとも1つのパストランジスタと、上記少なくとも1つのパストランジスタのゲートに電源電圧よりも高い電圧を供給するための少なくとも1つの電圧発生回路と、上記少なくとも1つの電圧発生回路と上記少なくとも1つのパストランジスタのゲートとの間に介設された少なくとも1つのスイッチ素子とを備えた半導体集積回路であって、上記電圧発生回路は、誘電体膜及びこれを挟む2つの電極をそれぞれ有し、少なくともいずれか一方が強誘電体キャパシタである第1及び第2のキャパシタと、上記第1及び第2のキャパシタの各一方の電極同士を接続する接続ノードと、上記接続ノードの電圧を出力するための出力端子と、上記第1及び第2のキャパシタの各他方の電極に電圧をそれぞれ供給するための第1及び第2の端子とを有し、上記第1及び第2の端子のうちいずれか一方の端子に供給される電圧を昇圧した電圧を上記接続ノードに生成するように構成された電圧発生部を備えている。

**【0024】**

これにより、パストランジスタのしきい値ロスによるロジック信号の信号レベルの低下を抑制することができるので、半導体集積回路中の信号配線をロジック信号が伝達する際の論理振幅の低下を抑制することが可能になり、信頼性の高い半導体集積回路を得ることができる。

#### 【0025】

第1及び第2のロジック回路をさらに備え、上記少なくとも1つの信号配線は、上記第1のロジック回路と上記第2のロジック回路とを接続するものであることにより、第1のロジック回路から第2のロジック回路に伝達される信号の電圧レベルの低下を抑制することができる。

#### 【0026】

ロジック回路と、上記ロジック回路から出力されるロジック信号が流れる複数の配線とをさらに備え、上記少なくとも1つの信号配線は、上記ロジック回路と、上記複数の配線との間にそれぞれ設けられた複数の信号配線であり、上記少なくとも1つのパストランジスタは、上記複数の信号配線にそれぞれ介設された複数のパストランジスタであり、上記少なくとも1つの電圧発生回路は、上記複数のパストランジスタの各ゲートに昇圧電圧を供給するための複数の電圧発生回路であり、上記少なくとも1つのスイッチ素子は、上記各パストランジスタのゲートと上記各電圧発生回路との間に介設された複数のスイッチ素子であることにより、1つのロジック回路から多数の配線に信号を送る際にも、信号の電圧レベルの低下を抑制することができる。

#### 【0027】

上記少なくとも1つの信号配線は、2つの入力信号をそれぞれ受ける2つの信号配線であり、上記少なくとも1つのパストランジスタは、上記2つの信号配線にそれぞれ介設された2つのパストランジスタであり、上記少なくとも1つの電圧発生回路は、上記2つのパストランジスタの各ゲートに昇圧電圧を供給するための単一の電圧発生回路であり、上記少なくとも1つのスイッチ素子は、上記各パストランジスタのゲートと上記各電圧発生回路との間に介設された2つのスイッチ素子であって、上記2つのパストランジスタのうちいずれか一方をオンに、他方をオフにすることにより、上記2つの入力信号のうちいずれか1つの入力信

号のみを通過させる選択回路として機能することにより、セレクトアマルチプレクサに入力される入力信号の信号レベルの低下を抑制しつつ、後段に出力することができる。したがって、特に多くのゲート部を設けたマルチプレクサにおいて有効である。

#### 【0028】

本発明の第2の半導体集積回路は、情報を記憶するための記憶部材と、ゲートに受ける信号に応じてオン・オフするパストランジスタとを有する複数のメモリセルを行列状に配置してなるメモリセルアレイと、上記メモリセルアレイの行に沿って延び、上記各メモリセルのゲートに接続される複数の第1の信号配線と、上記メモリセルアレイの列に沿って延び、上記各メモリセルのパストランジスタのソース又はドレインに接続される複数の第2の信号配線と、上記各第1の信号配線に電源電圧よりも高い電圧をそれぞれ供給するための複数の電圧発生回路と、上記各電圧発生回路と上記各第2の信号配線との間にそれぞれ介設された複数のスイッチ素子とを備えた半導体集積回路であって、上記各電圧発生回路は、誘電体膜及びこれを挟む2つの電極をそれぞれ有し、少なくともいずれか一方が強誘電体キャパシタである第1及び第2のキャパシタと、上記第1及び第2のキャパシタの各一方の電極同士を接続する接続ノードと、上記接続ノードの電圧を出力するための出力端子と、上記第1及び第2のキャパシタの各他方の電極に電圧をそれぞれ供給するための第1及び第2の端子とを有し、上記第1及び第2の端子のうちいずれか一方の端子に供給される電圧を昇圧した電圧を上記接続ノードに生成するように構成された電圧発生部を備えている

これにより、メモリセルにパストランジスタを配置した各種メモリにおけるパストランジスタの駆動能力を高めることができるので、メモリセルからの情報の読み出し時などにおいても、メモリセルにおける情報の安定した保持を図ることができ、信頼性の高いメモリの提供を図ることができる。

#### 【0029】

その場合、上記第2の半導体集積回路は、DRAM、SRAM、FeRAM、MRAM及び相変化メモリのうちから選ばれるいずれか1つのメモリ回路であることが好ましい。

## 【0030】

本発明の第3の半導体集積回路は、複数の低しきい値MISトランジスタが配置されているロジック回路と、上記ロジック回路に低レベル電圧を供給するための接地ラインと、上記接地ラインに接地電圧を供給するための接地端子と、上記接地端子と上記接地ラインとを接続する第1の信号配線と、上記ロジック回路に高レベル電圧を供給するための電源ラインと、上記電源ラインに電源電圧を供給するための電源端子と、上記電源端子と上記電源ラインとを接続する第2の信号配線と、上記第1の信号配線に介設され、ゲートに受ける信号に応じてオン・オフするnチャネル型の高しきい値MISトランジスタと、上記nチャネル型の高しきい値MISトランジスタのゲートに上記電源電圧よりも高い電圧を供給するための第1の電圧発生回路と、上記第1の電圧発生回路と上記nチャネル型の高しきい値MISトランジスタのゲートとの間に介設された第1のスイッチ素子とを備えた半導体集積回路であって、上記第1の電圧発生回路は、誘電体膜及びこれを挟む2つの電極をそれぞれ有し、少なくともいずれか一方が強誘電体キャパシタである第1及び第2のキャパシタと、上記第1及び第2のキャパシタの各一方の電極同士を接続する接続ノードと、上記接続ノードの電圧を出力するための出力端子と、上記第1及び第2のキャパシタの各他方の電極に電圧をそれぞれ供給するための第1及び第2の端子とを有し、上記第1及び第2の端子のうちいずれか一方の端子に供給される電圧を昇圧した電圧を上記接続ノードに生成するように構成された電圧発生部を備えている。

## 【0031】

これにより、これにより、高しきい値MISトランジスタのゲートに昇圧電圧が印加されるので、高しきい値MISトランジスタがオーバードライブ状態になり、ロジック回路を駆動する機能を高めることができる。つまり、高駆動力のMTCMOSの提供を図ることができる。

## 【0032】

上記第2の信号配線に介設され、ゲートに受ける信号に応じてオン・オフするpチャネル型の高しきい値MISトランジスタと、上記pチャネル型の高しきい値MISトランジスタのゲートに上記電源電圧よりも高い電圧を供給するための

第2の電圧発生回路と、上記第2の電圧発生回路と上記pチャネル型の高しきい値MISトランジスタのゲートとの間に介設された第2のスイッチ素子とをさらに備え、上記第2の電圧発生回路は、誘電体膜及びこれを挟む2つの電極をそれぞれ有し、少なくともいずれか一方が強誘電体キャパシタである第3及び第4のキャパシタと、上記第3及び第4のキャパシタの各一方の電極同士を接続する第2の接続ノードと、上記第2の接続ノードの電圧を出力するための第2の出力端子と、上記第3及び第4のキャパシタの各他方の電極に電圧をそれぞれ供給するための第3及び第4の端子とを有し、上記第3及び第4の端子のうちいずれか一方の端子に供給される電圧を昇圧した電圧を上記第2の接続ノードに生成するように構成された電圧発生部を備えていることにより、オフリークの小さいMTC MOSの提供を図ることができる。

### 【0033】

#### 【発明の実施の形態】

##### (第1の実施形態)

##### ー電圧発生回路の構成ー

図1は、本発明の第1の実施形態に係る電圧発生回路の要部（電圧発生部）の構成を概略的に示す電気回路図である。同図に示すように、本実施形態の電圧発生回路は、常誘電体膜及びこれを挟む2つの電極4a、4bを有する第1のキャパシタである常誘電体キャパシタ4と、強誘電体膜及びこれを挟む2つの電極6a、6bを有する第2のキャパシタである強誘電体キャパシタ6とを備えている。常誘電体キャパシタ4と強誘電体キャパシタ6との各一方の電極4a、6aは、接続ノードN1によって互いに接続されている。また、常誘電体キャパシタ4の他方の電極4bは書込端子3に接続され、強誘電体キャパシタ6の他方の電極6bはリセット端子7に接続されている。

### 【0034】

また、本実施形態の電圧発生回路は、接続ノードN1を挟んで互いに直列に接続された各々pチャネル型MISFETであるリセット制御用トランジスタ1及び出力制御用トランジスタ9を備えている。リセット制御用トランジスタ1のゲートはリセット制御用端子2に接続され、出力制御用トランジスタ9のゲートは

出力制御用端子 8 に接続されている。そして、電源電圧  $V_{dd}$  が、電源電圧供給端子 13 を介してリセット制御用トランジスタ 1 のソースに供給され、出力制御用トランジスタ 9 のドレインにつながる出力ノード N2 から出力端子 11 を介して出力電圧  $V_{bb}$  が出力される構成となっている。電源電圧供給端子 13 は、リセット制御用トランジスタ 1 及び出力制御用トランジスタ 9 の各基板領域に接続されており、各トランジスタ 1, 9 の基板電圧はほぼ電源電圧  $V_{dd}$  に等しい電圧となっている。

#### 【0035】

また、出力制御用トランジスタ 9 のドレインにつながる出力ノード N2 と接地との間には負荷キャパシタ 10 が介在し、出力端子 11 は、この電圧発生回路の出力電圧を利用するための負荷抵抗 12 に接続されている。

#### 【0036】

なお、電圧発生回路として機能するためには、図 1 に示す電圧発生部だけでなく、各端子 2, 3, 7, 8 に電圧を供給する制御部が必要であるが、制御部は必ずしも電圧発生部と同じ半導体チップ内に設けられている必要はなく、外付けの構成も可能であるので、図 1 においては、制御部の図示を省略している。

#### 【0037】

なお、本実施形態では、第 1 のキャパシタを常誘電体キャパシタとしたが、第 1, 第 2 のキャパシタのいずれもが強誘電体キャパシタであってもよい。

#### 【0038】

本実施形態では、一例として、材料がタンタル酸ストロンチウムビスマス ( $\text{SrBi}_2\text{Ta}_2\text{O}_9$ :Y1) で面積が  $500\mu\text{m}^2$  である強誘電体キャパシタ 6 と、容量値が  $100\text{pF}$  である常誘電体キャパシタ 4 とが互いに直列に接続されている。

#### 【0039】

－電圧発生回路の概略動作－

待機状態においては、書込端子 3、リセット端子 7、出力制御用端子 8、リセット制御用端子 2 には、いずれも電源電圧  $V_{dd}$  が印加されている。すなわち、リセット制御用トランジスタ 1、出力制御用トランジスタ 9 は、いずれもオフ状態

にある。そして、各端子にパルス状の接地電圧 0 V を加えることで回路を動作状態にする。回路の動作状態として以下の 3 つの期間が設けられている。

#### 【0040】

##### ① 書込期間（第 1 の期間）

リセット端子 7 に電源電圧  $V_{dd}$  を印加したままで、書込端子 3 の電圧  $V_{wp}$  を接地電圧 0 V にして、強誘電体キャパシタ 6 を正に分極させる。ただし、強誘電体キャパシタ 6 の電極 6 b に正の電荷が、電極 6 a に負の電荷がそれぞれ誘起された状態を正に分極と定義する。この第 1 の期間を書込期間と呼ぶ。

#### 【0041】

##### ② 出力期間（第 2 の期間）

次に、書込端子 3 の電圧  $V_{wp}$  がリセット端子 7 の電圧  $V_{rp}$  と同じ電圧、すなわち電源電圧  $V_{dd}$  になったとき、接続ノード N 1 の電圧は、強誘電体キャパシタ 6 の分極による電圧と電源電圧  $V_{dd}$  とを加算した電圧値に昇圧される。その後、出力制御用端子 8 に接地電圧 0 V を加え、p チャンネル型 MOSFET である出力制御用トランジスタ 9 をオン状態にすることで、接続ノード N 1 で保持されている昇圧された電圧を出力ノード N 2 に、つまり出力端子 11 に出力する。本実施形態では、出力ノード N 2 には、負荷として、容量値 100 pF の負荷キャパシタ 10 と抵抗値 1 M $\Omega$  の負荷抵抗 12 とが接続されている。強誘電体キャパシタ 6 の分極による電圧を電源電圧  $V_{dd}$  に加算した電圧を出力しているので、この第 2 の期間を出力期間と呼ぶ。

#### 【0042】

##### ③ リセット期間（第 3 の期間）

上記出力期間においては、負荷電流が出力ノード N 2 から接続ノード N 1 に流入することにより、接続ノード N 1 に電子が蓄積されたり、強誘電体キャパシタ 6 の分極が不安定になったりして、出力電圧の絶対値が低下してくる。

#### 【0043】

そこで、このような出力低下を防ぐため、強誘電体キャパシタ 6 の分極を書込期間における分極とは逆向きに反転し、接続ノード N 1 に蓄積された電子を引き出す期間を設けた。この期間においては、まず、リセット制御用端子 2 に接地電



圧 0 V を印加し、p チャンネル型 M I S F E T であるリセット制御用トランジスタ 1 をオン状態にして、接続ノード N 1 の電圧を電源電圧 V d d にする。次に、リセット端子 7 に接地電圧 0 V を印加すると、強誘電体キャパシタ 6 の電極 6 a には電源電圧 V d d が印加され、電極 6 b には接地電圧 0 V が印加されるので、強誘電体キャパシタ 6 の分極が書込期間における分極とは逆向きに反転する。これにより、強誘電体キャパシタ 6 の分極状態をリセットする。そして、リセット制御用トランジスタ 1 をオン状態にしたまま、すなわち接続ノード N 1 の電圧を電源電圧 V d d にしたままで、リセット端子 7 を電源電圧 V d d にする。これにより、強誘電体キャパシタ 6 の電極 6 a と電極 6 b とが短絡状態になり、接続ノード N 1 に蓄積された電子を引き抜くことができる。この第 3 の期間をリセット期間と呼ぶ。

#### 【0044】

一直列キャパシタの分極状態と電圧との関係ー

図 2 ( a ) , ( b ) は、それぞれ順に、強誘電体キャパシタと常誘電体キャパシタとの直列接続回路を抜き出して示す電気回路図、及び強誘電体キャパシタのヒステリシス特性を示す図である。

#### 【0045】

図 2 ( a ) に示すように、本実施形態においては、強誘電体キャパシタ 6 と容量値が C c である常誘電体キャパシタ 4 とが互いに直列に接続されている。ここで、常誘電体キャパシタ 4 の電極 4 b につながる書込端子 3 に接地電圧 ( 0 V ) が印加され、強誘電体キャパシタ 6 の電極 6 b につながるリセット端子 7 に正の電源電圧 V d d が印加されたとする。書込端子 3 とリセット端子 7 との間に電圧 V d d が印加されると、電圧 V d d は、各キャパシタ 4 , 6 に分配される。ここで、強誘電体キャパシタ 6 に印加される電圧を V f とし、常誘電体キャパシタ 4 に印加される電圧を V c とすると、下記式 ( 1 )

$$V d d = V f + V c \quad (1)$$

の関係が成り立つ。

#### 【0046】

また、強誘電体キャパシタ 6 の分極によって誘起される電荷量を Q とする。つ

まり、強誘電体キャパシタ 6 の電極 6 b には電荷 +Q が、電極 6 a には電荷 -Q が誘起される。このとき、強誘電体キャパシタ 6 と常誘電体キャパシタ 4 との接続部である接続ノード N 1 の全電荷は 0 であるという電荷保存則より、常誘電体キャパシタ 4 の電極 4 a には電荷 +Q が、電極 4 b には電荷 -Q が誘起されるので、下記式 (2)

$$Q = C_c \cdot V_c \quad (2)$$

の関係が成り立つ。式 (1) を式 (2) に代入すると、下記式 (3)

$$Q = C_c (V_{dd} - V_f) \quad (3)$$

の関係が成り立つ。

#### 【0047】

一方、図 2 (b) に示すように、強誘電体キャパシタの分極に対応する電荷 Q のヒステリシス特性に、式 (3) を重ねて示すと、同図中の直線 L<sub>vd</sub> となる。図 2 (b) において、ヒステリシス特性と式 (3) で表される直線 L<sub>vd</sub> との交点 A が強誘電体キャパシタ 6 に印加される電圧および電荷量を表すことになる。

#### 【0048】

一方、書込端子 3 とリセット端子 7 との間に電圧 V<sub>dd</sub> を加えた後、両者間の電圧を 0 V に戻したときには、直線 L<sub>v0</sub> とヒステリシス曲線との交点 B が強誘電体キャパシタ 6 の分極状態を表す。このとき、強誘電体キャパシタ 6 の電極 6 a と電極 6 b との間には電圧 V<sub>h</sub> が印加される。したがって、接続ノード N 1 の電圧は V<sub>h</sub> となる。その結果、書込端子 3 に電源電圧 V<sub>dd</sub> を印加したときの出力電圧は V<sub>dd</sub>+V<sub>h</sub> となり、入力電圧以上の電圧、すなわち昇圧電圧が得られる。

#### 【0049】

##### —動作の具体例—

図 3 は、本実施形態の電圧発生回路の制御部 (図示せず) により、各端子に印加される電圧の時間変化を示すタイムチャート図である。図 4 は出力端子 11 から出力される出力電圧 V<sub>bb</sub> の立ち上がり特性を示す図である。図 5 (a), (b) は、それぞれ順に、本実施形態の電圧発生回路の各期間における出力電圧 V<sub>bb</sub> 及び接続ノード N 1 の電圧変化を示すタイムチャート図である。以下、図 3 ~ 図 5 (b) を参照しながら、本実施形態の電圧発生回路の動作の具体例について説

明する。

### 【0050】

待機状態では、図3に示すように、書込端子3、リセット端子7、出力制御用端子8、リセット制御用端子2の各電圧 $V_{wp}$ 、 $V_{rp}$ 、 $V_{og}$ 、 $V_{rg}$ をいずれも電源電圧 $V_{dd}$ に、本具体例では1Vにする。

### 【0051】

#### ① 書込期間

図3の書込期間①に示すように、書込端子3の電圧 $V_{wp}$ のみを接地電圧（本具体例では0V）に約0.45  $\mu\text{sec}$ の間保持する。この期間においては、図5（b）に示すように、接続ノードN1に約0.6Vの電圧が発生し、強誘電体キャパシタ6は正に分極する。しかし、この期間においては、出力制御用端子8の電圧が $V_{dd}$ であって出力制御用トランジスタ9がオフ状態であるため、出力端子11（出力ノードN2）に接続ノードN1の電圧は出力されない。

### 【0052】

#### ② 出力期間

図3の出力期間②に示すように、書込端子3の電圧 $V_{wp}$ をリセット端子7の電圧 $V_{rp}$ と同じ電圧、すなわち電源電圧 $V_{dd}$ にして、接続ノードN1の電圧を、強誘電体キャパシタ6の分極による電圧と電源電圧 $V_{dd}$ とを加算した電圧値に昇圧する。本具体例においては、接続ノードN1の電圧は約1.3Vとなる。また、出力制御用端子8の電圧 $V_{og}$ を接地電圧（本具体例では0V）に約4.5  $\mu\text{sec}$ の間保持する。これにより、出力制御用トランジスタ9がオン状態になるため、接続ノードN1に保持されている昇圧電圧が出力ノードN2を介して出力端子11に出力される。

### 【0053】

#### ③ リセット期間

図3のリセット期間③に示すように、リセット端子7の電圧 $V_{rp}$ 及びリセット制御用端子2の電圧 $V_{rg}$ を、接地電圧（本具体例では0V）に、それぞれ約0.45  $\mu\text{sec}$ 、4.5  $\mu\text{sec}$ の間保持する。このとき、リセット制御用トランジスタ1がオン状態になって接続ノードN1の電圧 $V_{cp}$ が電源電圧 $V_{dd}$ に、リセット

端子 7 の電圧  $V_{rp}$  が接地電圧 (0 V) になるので、強誘電体キャパシタ 6 の分極は書込期間における分極とは逆の方向に反転する。そして、リセット制御用トランジスタ 1 をオン状態にしたまま、すなわち接続ノード N 1 の電圧を電源電圧  $V_{dd}$  にしたままで、リセット端子 7 の電圧が 0 V から電源電圧  $V_{dd}$  になると、強誘電体キャパシタ 6 の電極 6 a と電極 6 b とが短絡状態になり、接続ノード N 1 に蓄積された電子が引き抜かれる。

#### 【0054】

以上の書込期間、出力期間及びリセット期間を一周期とし、各期間の動作を繰り返しておこなうことで、出力端子 11 に昇圧電圧を連続して安定に供給することが可能となる。

#### 【0055】

そして、図 3 のタイムチャートのように電圧発生回路を制御することにより、図 4 に示すように、出力ノード N 2 つまり出力端子 11 の電圧  $V_{bb}$  は、出力制御用トランジスタ 9 がオンになってから約 100  $\mu\text{sec}$  程度で出力が安定になり、そのときにおける  $V_{bb}$  は約 1.3 V となった。

#### 【0056】

また、図 5 (a) に示すように、出力ノード N 2 つまり出力端子 11 の電圧である出力電圧  $V_{bb}$  は、書込期間①においては、出力ノード N 2 が接続ノード N 1 と電氣的に切り離されているので、約 1.31 V と低下している。しかし、出力期間②になると、接続ノード N 1 から昇圧電圧が供給されるので、出力電圧  $V_{bb}$  が回復して約 1.33 V となる。リセット期間③においては、出力ノード N 2 の電圧  $V_{bb}$  は単調に減少し、約 1.33 V から約 1.31 V になる。リップル (電圧変動) は約 0.02 V となり、変動は少なく安定である。

#### 【0057】

一方、図 5 (b) に示すように、書込期間①においては書込端子 3 に接地電圧を加えているので、接続ノード N 1 の電圧  $V_{cp}$  は約 0.6 V になる。出力期間②においては、接続ノード N 1 に約 1.3 V の昇圧電圧が保持されている。リセット期間③においては、強誘電体キャパシタ 6 の分極が逆向きに反転されるため、接続ノード N 1 の電圧  $V_{cp}$  は約 0.9 V となる。その後、強誘電体キャパシタ 6

の電極 6 a と電極 6 b とが短絡状態になるので、接続ノード N 1 の電圧  $V_{cp}$  は 1 V となる。

#### 【0058】

以上のように、本発明の第 1 の実施例の電圧発生回路は、強誘電体キャパシタ 6 の分極反転を利用して昇圧電圧を発生させているので、強誘電体キャパシタ 6 と常誘電体キャパシタ 4 との接続部（接続ノード N 1）に昇圧電圧を安定に保持させることができ、その昇圧電圧を出力端子 11 から連続的に出力することが可能である。

#### 【0059】

なお、本実施形態では、強誘電体キャパシタの誘電体膜を構成する材料として Y 1 を使用したが、Y 1 以外にも、強誘電体チタン酸ジルコン酸鉛（ $Pb(Zr_{0.45}Ti_{0.55})O_3 : PZT$ ）など、電極間の電圧とそれによって誘起される電荷との間にヒステリシス特性を有する誘電体材料を用いることにより、本発明の電圧発生回路の作用効果が得られる。例えば、ポリフッ化ビニリデン三フッ化エチレン共重合体（ $P(VDF/TrFE)$ ）などの高分子化合物でも同様の動作が可能である。

#### 【0060】

また、本実施形態においては、正の電圧を昇圧するための電圧発生回路及びその駆動方法について説明したが、本実施形態の電圧発生回路における電源電圧  $V_{dd}$  を負の電圧にすれば、負の電圧を昇圧する、つまり負の電圧の絶対値を大きくすることも可能である。

#### 【0061】

（第 2 の実施形態）

図 6 は、本発明の第 2 の実施形態の電圧発生回路の構成を示すブロック図である。同図に示すように、本実施形態の電圧発生回路は、制御部 21 と電圧発生部 22 とからなる電圧発生回路と、制御部 23 と電圧発生部 24 からなる電圧発生回路とを備えている。ここで、電圧発生部 22、24 は、第 1 の実施形態で説明したような昇圧機能を備えている。つまり、本実施形態の電圧発生回路は、2 段の電圧発生回路を直列に接続して構成されている。また、制御部 21、23 は、

第1の実施形態における図3に示すような各端子の電圧制御を行なうものである。そして、1段目の電圧発生回路の電圧発生部22において、電源電圧 $V_{dd}$ から昇圧された第1の出力信号 $V_{out1}$ を出力し、2段目の電圧発生回路の電圧発生部24で、第1の出力信号 $V_{out1}$ から昇圧された第2の出力信号 $V_{out2}$ を出力する。

#### 【0062】

本実施形態においては、2段の電圧発生回路を直列に接続しているが、3段以上の電圧発生回路を直列に接続することができる。

#### 【0063】

このように、複数段の電圧発生回路を直列に接続することにより、電源電圧 $V_{dd}$ よりも任意の電圧値だけ昇圧された電圧を容易に生成することができる。

#### 【0064】

(第3の実施形態)

図7(a)、(b)は、本発明の第3の実施形態の電圧発生回路の構成を示すブロック図、及び出力信号の時間変化を示す図である。図7(a)に示すように、本実施形態の電圧発生回路は、第1の実施形態で説明した昇圧機能を有する電圧発生部26と、電圧発生部26の動作を制御する制御部25と、電圧発生部26からの出力 $V_{bb}$ の電圧値を検知するための電圧検知部27とを備えている。

#### 【0065】

制御部25は、第1の実施形態における図3に示すような各端子の電圧制御を行なうものである。この制御部25は、電圧検知部27から出力される電圧 $V_{bb}$ に応じて、電圧発生部26を動作又は停止させる。電圧検知部27は、図7(b)に示すように、電圧発生部26から出力される電圧 $V_{bb}$ の絶対値を検知し、電圧 $V_{bb}$ が第1の所定値（本実施形態では1.25V）以下であれば、制御部25に電圧発生部26を動作させる信号を送る。また、電圧検知部27は、電圧発生部26から出力される電圧 $V_{bb}$ の絶対値を検知し、電圧 $V_{bb}$ が第2の所定値（本実施形態では1.35V）以上であれば制御部25に電圧発生部26を停止させる信号を出力する。このような、電圧検知部15を設けることにより、出力電圧 $V_{bb}$ の安定を図るとともに、消費電力を低下させることが可能となる。なお、本

実施形態では、電圧発生回路の動作を安定させるため、動作・停止の切り換え用基準値として1.0Vのディファレンシャルを設けたが、このディファレンシャルの値は電圧発生回路が配置される装置の種類などによって任意に設定することができる。

#### 【0066】

以上のように、本実施形態では、電圧発生部26、制御部25に加えて電圧検知部27を設けることにより、電圧発生回路の出力電圧を安定化させるとともに、電圧発生回路の消費電力を抑制することが可能となった。

#### 【0067】

なお、本実施形態の電圧発生回路を、第2の実施形態のごとく多段に直列に配置することも可能であり、その場合には、本実施形態の効果に加えて、昇圧機能をより高めることができるという効果を発揮することができる。

#### 【0068】

(第4の実施形態)

図8は、本発明の第4の実施形態の電圧発生回路の構成を示すブロック図である。同図に示すように、本実施形態の電圧発生回路は、それぞれ、制御部31、34と、第1の実施形態で説明した回路構造を有する電圧発生部32、35と、電圧検知部33、36とを有する2つの電圧発生回路を並列に接続して構成されている。

#### 【0069】

ここで、本実施形態の制御部31、34と、電圧検知部33、36との動作は、第3の実施形態の制御部及び電圧検知部とは、以下の2つの点で異なっている。

#### 【0070】

第1の相違は、第3の実施形態の電圧発生回路を2つ並列に配置し、各電圧発生回路の出力端子を共通化して、出力電圧V<sub>bb</sub>を出力するように構成していることである。

#### 【0071】

第2の相違は、制御部31と制御部34とでは、それぞれの電圧発生部32, 35を動作させる信号 $\phi$ ,  $\neg\phi$ の周期が半周期だけ異なることである。これにより、第3の実施形態の電圧発生回路では、第1の実施形態において説明した出力期間②(図3参照)のみ接続ノードN1(図1参照)から出力端子に昇圧電圧が供給されるが、本実施形態では、2つの電圧発生部32, 35の各接続ノードN1(図1参照)で生成された昇圧電圧が交互に出力端子に送られるので、第3の実施形態に比べて出力端子から昇圧電圧が供給される期間が長くなり、よって、出力電圧Vbbのリプル(電圧変動)が小さくなる。また、2つの電圧発生部32, 35により電圧を出力させているため、負荷電流も大きくすることが可能となった。

#### 【0072】

以上のように、本実施形態の電圧発生回路によると、第3の実施形態の電圧発生回路を2つ並列に配置し、各電圧発生回路の電圧発生部32, 35の動作周期を半周期だけずらせるようにすることでリプルを抑制し、負荷電流も大きくすることが可能となった。

#### 【0073】

なお、本実施形態の電圧発生回路を、第2の実施形態のごとく多段に直列に配置することも可能であり、その場合には、本実施形態の効果に加えて、昇圧機能をより高めることができるという効果を発揮することができる。

#### 【0074】

また、図8に示す構成における電圧検知部33, 36は、必ずしも設ける必要はない。

#### 【0075】

##### (第5の実施形態)

図9は、本発明の第5の実施形態の半導体集積回路の構成を示すブロック図である。同図に示すように、本実施形態の半導体集積回路は、第2～第4の実施形態で説明したような電圧発生回路42と、電圧発生回路42の出力をスイッチ素子43を介してゲートに受けるパストランジスタ44と、パストランジスタ44を挟んで配置されたロジック回路41, 45とを備えている。



**【0076】**

本実施形態の半導体集積回路の特徴は、ロジック回路41、45同士を接続しているパストランジスタ44のゲートに昇圧電圧を加えることにより、ロジック回路41から出力されるロジック信号の電圧降下を防ぐことにある。

**【0077】**

ロジック回路41の出力をパストランジスタ44を介してロジック回路45に入力させる際には、パストランジスタ44のゲートに電源電圧を加えてパストランジスタ44をオン状態にすればよい。しかし、その際、ロジック回路41から出力されるロジック信号の信号レベルは、パストランジスタ44のしきい値ロスによって低下する。

**【0078】**

それに対し、本実施形態においては、パストランジスタ44のゲートにスイッチ素子43を介して第2～第4の実施形態のような昇圧機能を有する電圧発生回路42を接続しているので、ロジック回路41から出力されるロジック信号がロジック回路45に送られる際に、スイッチ素子43をオン状態にし、電圧発生回路42によって電源電圧よりも高く昇圧された電圧をパストランジスタ44のゲートに入力させることができる。これにより、電圧発生回路42の出力は電源電圧V<sub>dd</sub>より高いため、パストランジスタ44のしきい値ロスによりロジック回路41から出力されるロジック信号のレベルの低下を抑制することができる。つまり、半導体集積回路中の信号配線をロジック信号が伝達する際の論理振幅の低下を抑制することが可能になり、信頼性の高い半導体集積回路を得ることができる。

**【0079】****－第1の変形例－**

図10は、第5の実施形態の第1の変形例に係る半導体集積回路の構成を示すブロック図である。同図に示すように、本変形例の半導体集積回路は、ロジック回路51と、ロジック回路51から出力されるロジック信号が送られる配線56、57と、ロジック回路51と各配線56、57との間に介設されたパストランジスタ58、59と、パストランジスタ58、59の各ゲートにそれぞれスイッ

チ素子 52, 54 を介して接続された電圧発生回路 53, 55 とを備えている。電圧発生回路 53, 55 は、第 2 ～ 第 4 の実施形態で説明した構造を有する。

#### 【0080】

ここで、本実施形態の半導体集積回路においては、ロジック回路 51 から配線 56, 57 を介して、配線 56, 57 に接続された回路（図示せず）にロジック信号を供給するように構成されている。例えば、ロジック回路 51 から配線 56 にロジック信号を出力する場合には、配線 56 に接続されているパストランジスタ 58 に電圧発生回路 53 で昇圧された電圧を印加する。電圧発生回路 53 の出力電圧は電源電圧よりも高いため、上述のように、ロジック回路 51 から出力されるロジック信号のレベルの低下を抑制することができる。ロジック回路 51 から配線 57 にロジック信号を出力する場合にも、これと同様の動作によって同様の効果を発揮することができる。

#### 【0081】

なお、本変形例における配線の数、図 10 に示すような 2 本に限定されるものではなく、配線が 3 本以上であってもよく、1 本であってもよい。

#### 【0082】

##### －第 2 の変形例－

図 11 は、第 5 の実施形態の第 2 の変形例に係る半導体集積回路の構成を示すブロック図である。同図に示すように、本変形例の半導体集積回路は、マルチプレクサを構成する 2 段の選択ゲート部 60, 70 を備えている。前段の選択ゲート部 60 は、入力信号  $I_{n1} \sim I_{n4}$  をそれぞれ受ける各パストランジスタ 63 ～ 67 と、パストランジスタ 63 ～ 67 の各ゲートにスイッチ素子 62 を介して接続された電圧発生回路 61 とを備えている。ただし、パストランジスタ 65, 67 のゲートとスイッチ素子 62 との間には、インバータ 63 が介設されている。後段の選択ゲート部 70 は、2 つのパストランジスタ 64, 65 によって選択された入力信号  $I_{n1}$  又は  $I_{n2}$  を受けるパストランジスタ 74 と、2 つのパストランジスタ 66, 67 によって選択された入力信号  $I_{n3}$  又は  $I_{n4}$  を受けるパストランジスタ 75 と、パストランジスタ 74, 75 の各ゲートにスイッチ素子 72 を介して接続された電圧発生回路 71 とを備えている。ただし、パストランジスタ 75

のゲートとスイッチ素子 72 との間には、インバータ 73 が介設されている。

#### 【0083】

本実施形態の半導体集積回路（マルチプレクサ）によると、電圧発生回路 61、71 により、マルチプレクサを構成する複数のパストランジスタのゲートに、電源電圧よりも高い昇圧電圧が供給されるので、ロジック信号である入力信号 In1～In4 の信号レベルの低下を抑制しつつ、入力信号 In1～In4 から選択された 1 つの信号を出力信号 Out として出力することができる。

#### 【0084】

なお、本発明の半導体集積回路は、2 つの入力信号のうちいずれか一方の入力信号のみを通過させる選択回路として機能すればよいので、図 11 に示すパストランジスタのうちの 2 つのパストランジスタのみを有していれば本発明の半導体集積回路の効果は得られる。

#### 【0085】

本実施形態及びその変形例（第 1、第 2 の変形例）に係る半導体集積回路によると、パストランジスタのゲートに、電圧発生回路において生成された昇圧電圧を印加することにより、ロジック回路から出力されるロジック信号のレベルの低下を抑制することができる。また、そのことにより、信号レベルの低下を回復させるための増幅器を設ける必要がないので、半導体集積回路の低消費電力化を図ることができる。

#### 【0086】

なお、本実施形態の半導体集積回路を FPG A（Field Programmable Gate Array）のような LSI、つまり製造後に回路変更が可能な LSI に適用することで、低消費電力化が可能である。

#### 【0087】

（第 6 の実施形態）

図 12 は、本発明の第 6 の実施形態に係る半導体集積回路の構成を示すブロック図である。本実施形態の半導体集積回路は、本発明の電圧発生回路を DRAM（Dynamic Random Access Memory）のワード線駆動回路に適用した例に関する。同図に示すように、本実施形態の半導体集積回路は、メモリセルアレイに設けら

れた多数のビットライン 83 及びワードライン 84 と、各ワードライン 84 にスイッチ素子 82 を介して接続される電圧発生回路 81 とを備えている。各メモリセルには、ドレインがビットライン 83 に接続され、ゲートがワードライン 84 に接続されるパストランジスタ 85 と、一方の電極がパストランジスタのソースに接続され、他方の電極が基板電圧  $V_{pp}$  を供給する端子に接続されるキャパシタ 86 とが配置されている。本実施形態においては、省面積のために、電圧発生回路 81 を第 3 の実施形態における電圧発生回路としている。

#### 【0088】

本実施形態の半導体集積回路によれば、DRAM のワード線駆動回路に本発明の電圧発生回路を配置することにより、各メモリセルのパストランジスタ 85 のゲートに電源電圧よりも高い昇圧電圧を印加することができるので、キャパシタ 86 に保持されている電圧の劣化を抑制しつつ、メモリの読み出しを行なうことが可能になる。そして、読み出し時のキャパシタの電圧低下を抑制することにより、DRAM の信頼性の向上を図ることができる。

#### 【0089】

なお、本実施形態の DRAM のメモリセル中のキャパシタ 86 の記憶容量膜を構成する材料として強誘電体を用い、半導体集積回路を FeRAM として機能させることも可能である。

#### 【0090】

また、メモリセルをアクセスするためにパストランジスタを用いるように構成された半導体集積回路であれば、DRAM 以外の半導体集積回路に本発明の電圧発生回路を配置することが可能である。例えば、電界効果型トランジスタとフリップフロップによって構成される SRAM のメモリセルや、電界効果型トランジスタと抵抗素子によって構成されるメモリセル、例えば、抵抗素子が  $GeSbTe$  などの相変化材料によって構成される相変化メモリや、抵抗素子が磁気トンネル接合 (MTJ : Magnetic Tunnel Junction) 素子によって構成される MRAM (Magnetoresistive Random Access Memory) などのメモリセルをアクセスするための配線、特にワード線を駆動する回路に本発明の電圧発生回路を設けることにより、本実施形態と同様の効果が得られる。

## 【0091】

## (第7の実施形態)

図13は、本発明の第7の実施形態の半導体集積回路の構成を示すブロック図である。同図に示すように、本実施形態の半導体集積回路は、電源端子から電源電圧  $V_{dd}$  を受けてロジック回路に高レベル電圧  $V_{dd1}$  を供給するための電源ライン99aと、接地端子から接地電圧  $V_{ss}$  を受けてロジック回路に低レベル電圧  $V_{ss1}$  を供給する接地ライン99bとを備えている。また、本実施形態の半導体集積回路は、電源端子と電源ライン99aとの間に介設されたpチャネル型MISFETである高しきい値MISトランジスタ93と、高しきい値MISトランジスタ93のゲートにスイッチ素子92を介して接続される電圧発生回路91と、接地端子と接地ライン99bとの間に介設されたnチャネル型MISFETである高しきい値MISトランジスタ96と、高しきい値MISトランジスタ96のゲートにスイッチ素子97を介して接続される電圧発生回路98とを備えている。また、ロジック回路には、低しきい値p型MISトランジスタ94と、低しきい値n型MISトランジスタ95とからなるインバータ回路が多数設けられている。

## 【0092】

本実施形態の半導体集積回路においては、ロジック回路には、インバータ回路の駆動電流を上げるために、低しきい値MISトランジスタ94、95を用い、リーク電流が問題となる部分には高しきい値MISトランジスタ93、96を用いている。さらに、本実施形態では、電源ライン99aと電源端子との間に高しきい値p型MISトランジスタ93を介設し、接地ライン99bと接地端子との間に、高しきい値n型MISトランジスタを介設している。このように、異なるしきい値電圧のMISトランジスタを用いる回路をMTCMOS (Multi Threshold CMOS) と呼ぶ。

## 【0093】

本実施形態の半導体集積回路においては、回路動作時に、スイッチ素子97をオン状態にし、電圧発生回路98から出力される昇圧電圧を高しきい値MISトランジスタ96 (nチャネル型MISFET) のゲートに供給する。その際、高

しきい値MISトランジスタ96のゲートには0Vを印加する。これにより、高しきい値MISトランジスタ93のゲートに昇圧電圧が印加されるので、高しきい値MISトランジスタ93がオーバードライブ状態になり、ロジック回路を駆動する機能を高めることができる。つまり、本実施形態により、従来のMTCMOSよりも高駆動力のMTCMOSの提供を図ることができる。

#### 【0094】


また、回路待機時には、スイッチ素子92をオン状態にし、高しきい値MISトランジスタ93のゲートと電圧発生回路91とを互いに接続する。このことにより、高しきい値MISトランジスタ93（pチャネル型MISFET）のサブスレッショルド領域における電源端子から接地端子へのリークを低減することができる。つまり、本実施形態により、従来のMTCMOSより、回路待機時におけるリーク（オフリーク）を抑制する機能の高いMTCMOSの提供を図ることができる。

#### 【0095】

ただし、本実施形態のごとく、電圧発生回路を電源ライン側と接地ライン側との双方に配置する必要はなく、いずれか一方に配置するだけでもよい。接地ラインと接地端子との間に配置されるnチャネル型の高しきい値MISトランジスタのゲートに、本発明の電圧発生回路によって昇圧された電圧を供給する構成により、従来のMTCMOSよりも高駆動力のMTCMOSの提供を図ることができる。また、電源ラインと電源端子との間に配置されるpチャネル型の高しきい値MISトランジスタのゲートに、本発明の電圧発生回路によって昇圧された電圧を供給する構成により、従来のMTCMOSよりもオフリーク抑制機能の高いMTCMOSの提供を図ることができる。

#### 【0096】

なお、低消費電力を必要とする機器、特に、携帯電話（PDC：Personal Digital Cellular）や、携帯情報端末（PDA：Personal Digital Assistance）などのベースバンド部の信号処理用LSIに、本実施形態の半導体集積回路を用いることにより、より低消費電力化かつ高性能化が可能となり、省エネルギーにつながるため、環境にやさしい携帯機器の提供を図ることができる。



【0097】

【発明の効果】

本発明の電圧発生回路、その駆動方法又はこれを利用した半導体集積回路によると、強誘電体キャパシタと常誘電体キャパシタ又は強誘電体キャパシタとを直列に接続して、強誘電体キャパシタの分極による電圧を利用して昇圧機能をもたせるようにしたので、安定した昇圧電圧の保持を利用して、各種の高機能デバイスの提供を図ることができる。

【図面の簡単な説明】

【図1】

本発明の第1の実施形態に係る電圧発生回路の要部（電圧発生部）の構成を概略的に示す電気回路図である。

【図2】

(a), (b) は、それぞれ順に、強誘電体キャパシタと常誘電体キャパシタとの直列接続回路を抜き出して示す電気回路図、及び強誘電体キャパシタのヒステリシス特性を示す図である。

【図3】

第1の実施形態の電圧発生回路の制御部により、各端子に印加される電圧の時間変化を示すタイムチャート図である。

【図4】

第1の実施形態の出力端子から出力される出力電圧の立ち上がり特性を示す図である。

【図5】

(a), (b) は、それぞれ順に、第1の実施形態の電圧発生回路の各期間における出力電圧及び接続ノードの電圧変化を示すタイムチャート図である。

【図6】

本発明の第2の実施形態の電圧発生回路の構成を示すブロック図である。

【図7】

(a), (b) は、本発明の第3の実施形態の電圧発生回路の構成を示すブロック図、及び出力信号の時間変化を示す図である。

**【図 8】**

本発明の第 4 の実施形態の電圧発生回路の構成を示すブロック図である。

**【図 9】**

本発明の第 5 の実施形態の半導体集積回路の構成を示すブロック図である。

**【図 1 0】**

第 5 の実施形態の第 1 の変形例に係る半導体集積回路の構成を示すブロック図である。

**【図 1 1】**

第 5 の実施形態の第 2 の変形例に係る半導体集積回路の構成を示すブロック図である。

**【図 1 2】**

本発明の第 6 の実施形態に係る半導体集積回路の構成を示すブロック図である。

**【図 1 3】**

本発明の第 7 の実施形態の半導体集積回路の構成を示すブロック図である。

**【図 1 4】**

従来のブートストラップ回路の構成を示す電気回路図である。

**【図 1 5】**

従来のブートストラップ回路における入力信号，出力電圧，接続ノードの電圧の時間変化を示す図である。

**【符号の説明】**

- 1     リセット制御用トランジスタ
- 2     リセット制御用端子
- 3     書込端子
- 4     常誘電体キャパシタ
- 4 a, 4 b   電極
- 6     強誘電体キャパシタ
- 7     リセット端子
- 8     出力制御用端子

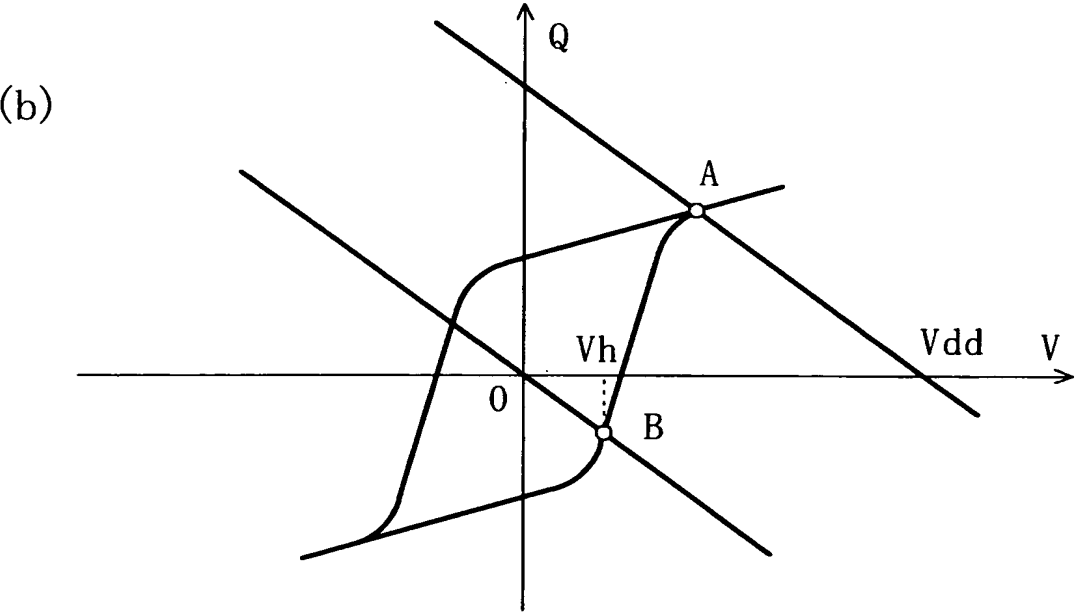
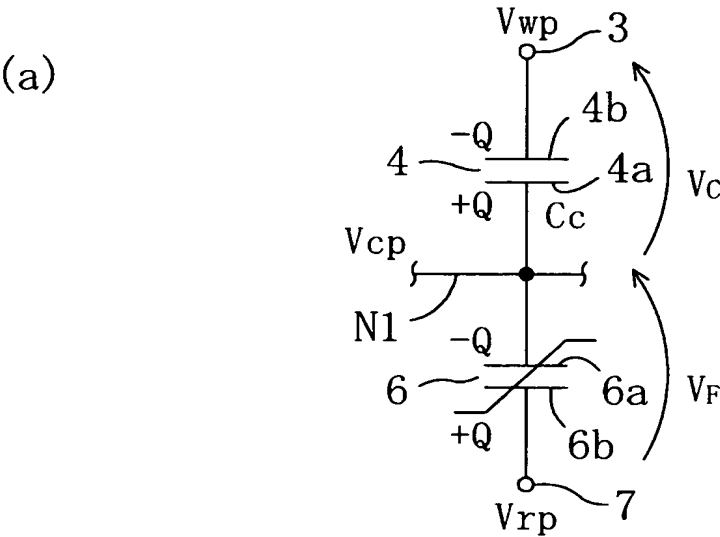




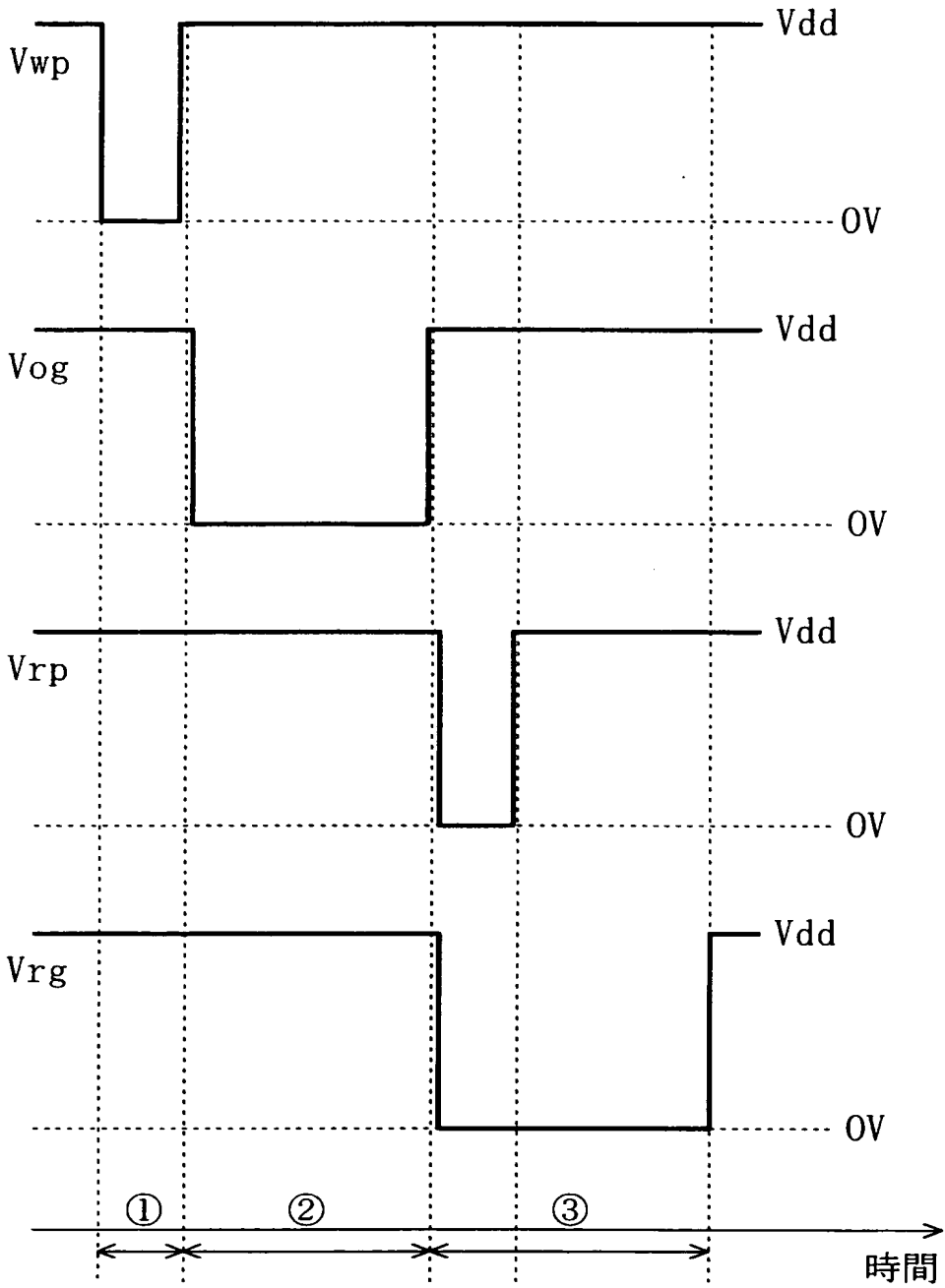
- 9 出力制御用トランジスタ
- 1 0 負荷キャパシタ
- 1 1 出力端子
- 1 2 負荷抵抗
- 1 3 電源電圧供給端子
- N 1 接続ノード
- N 2 出力ノード



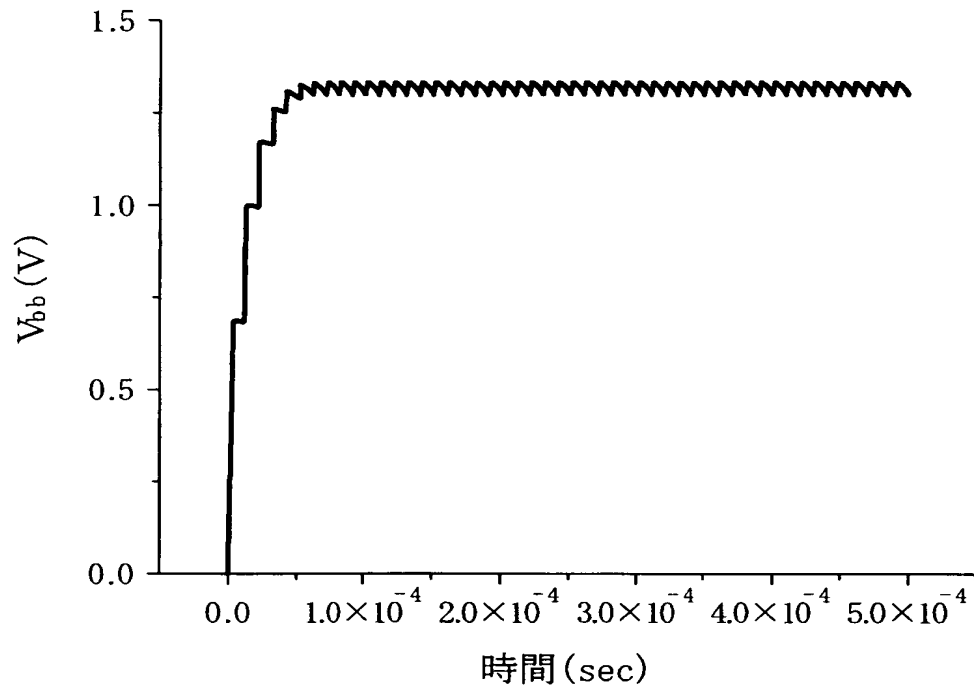
【図 2】



【図 3】

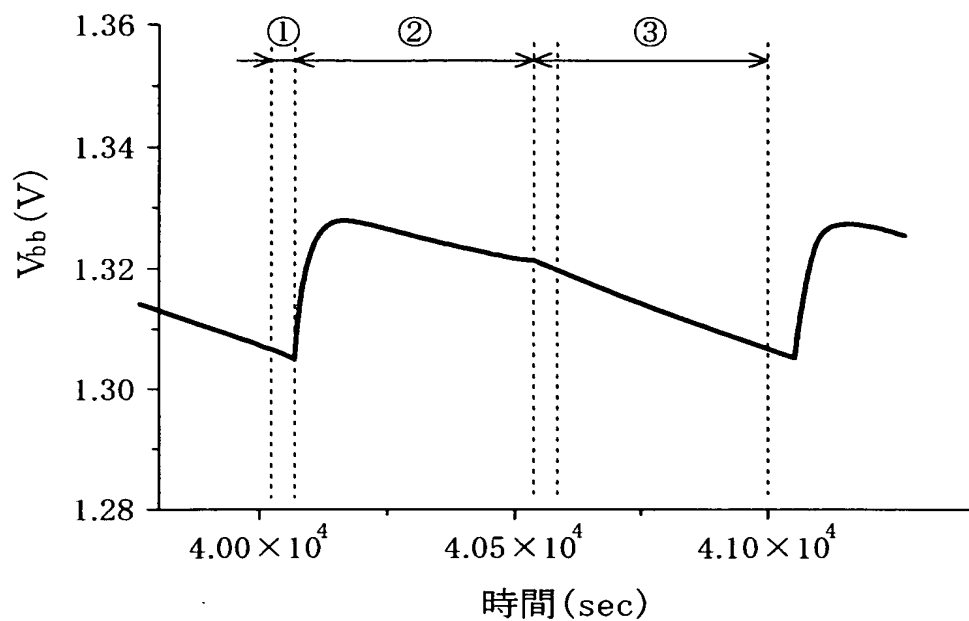


【図 4】

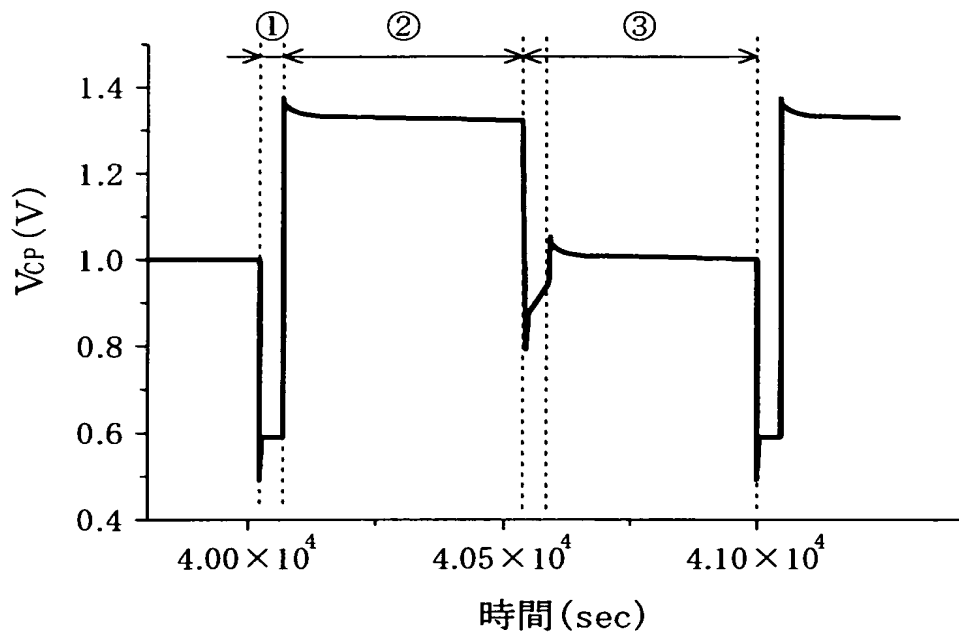


【図 5】

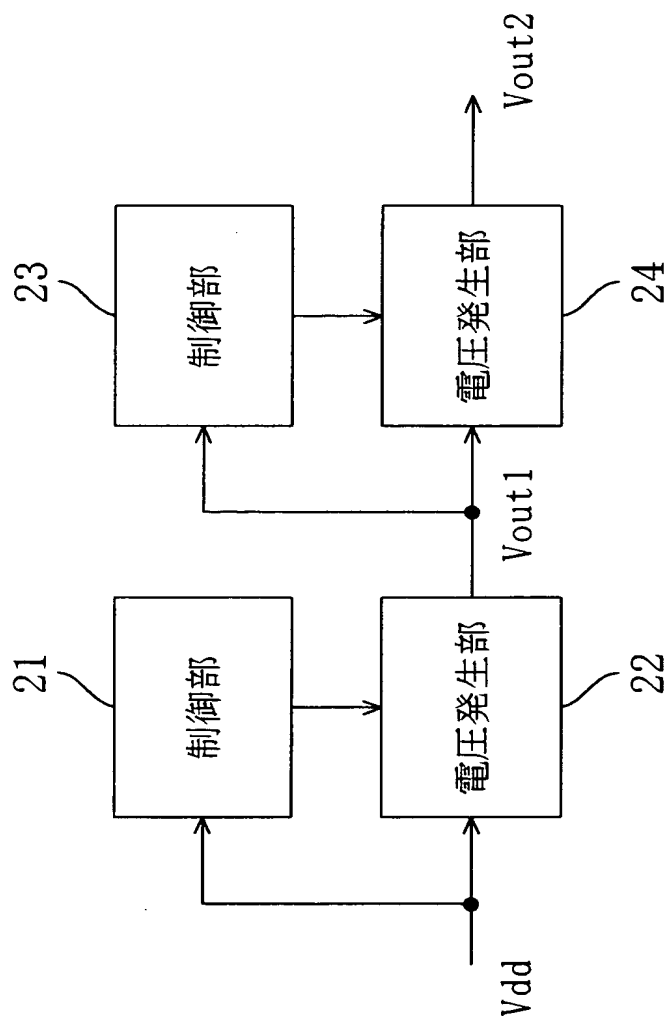
(a)



(b)

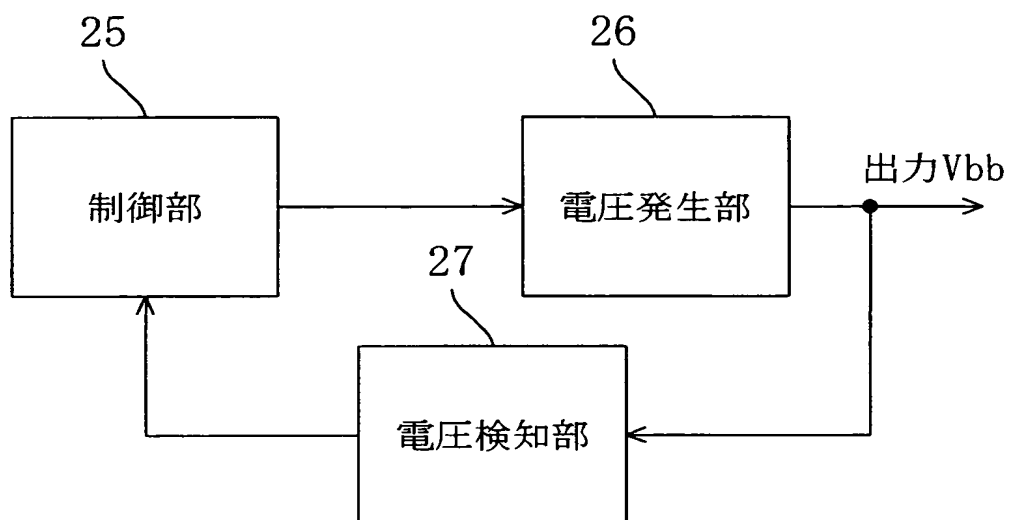


【図 6】

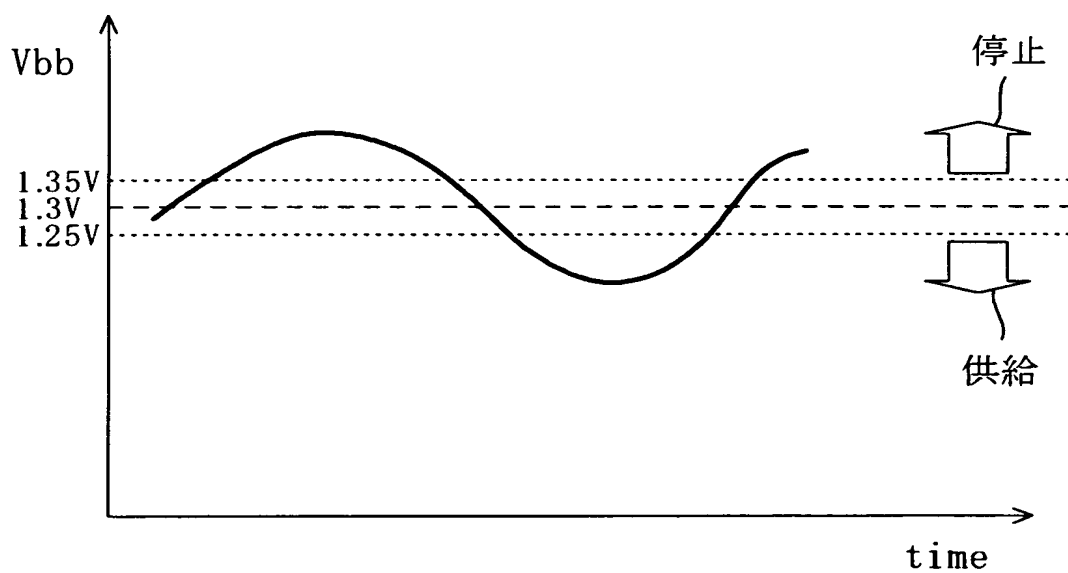


【図 7】

(a)

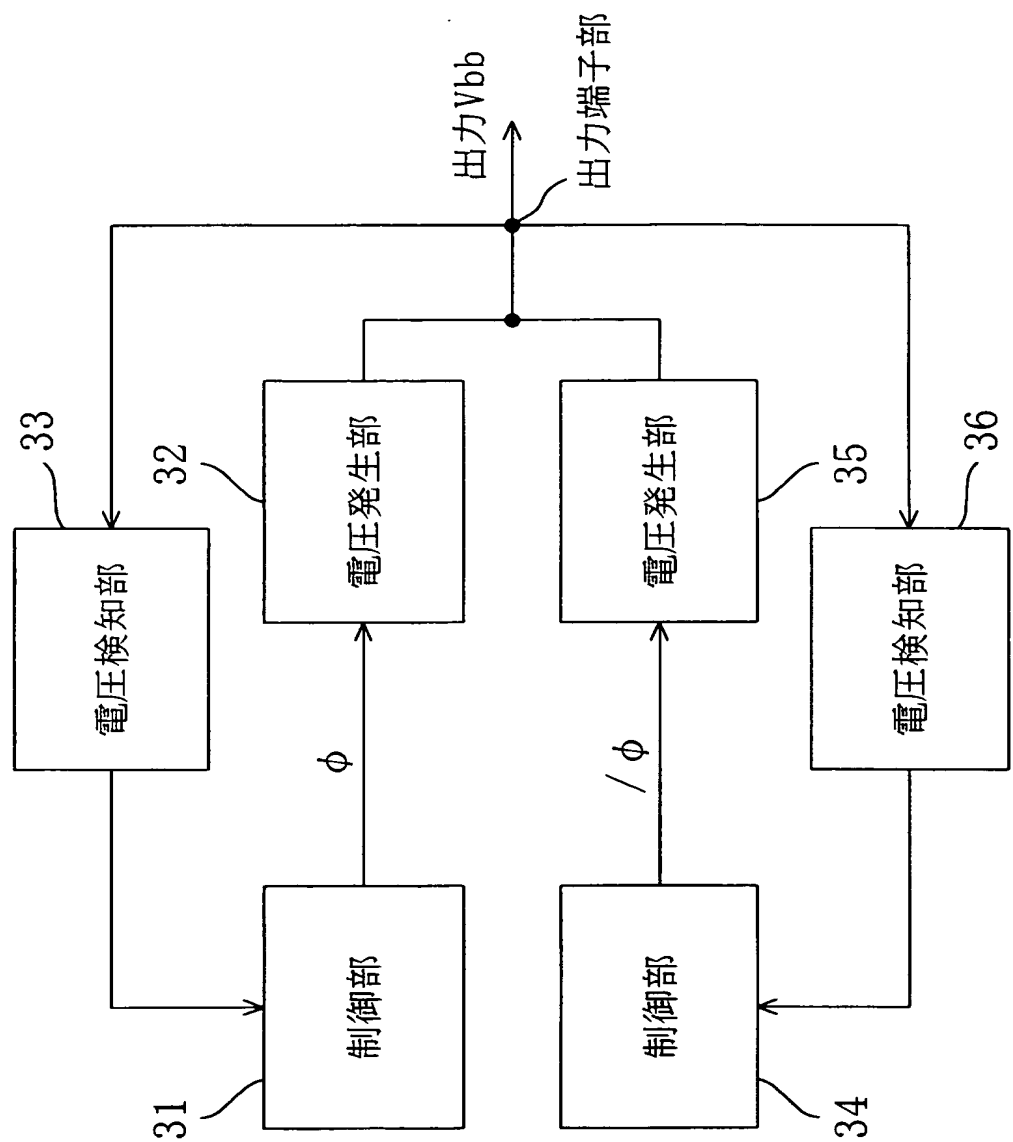


(b)

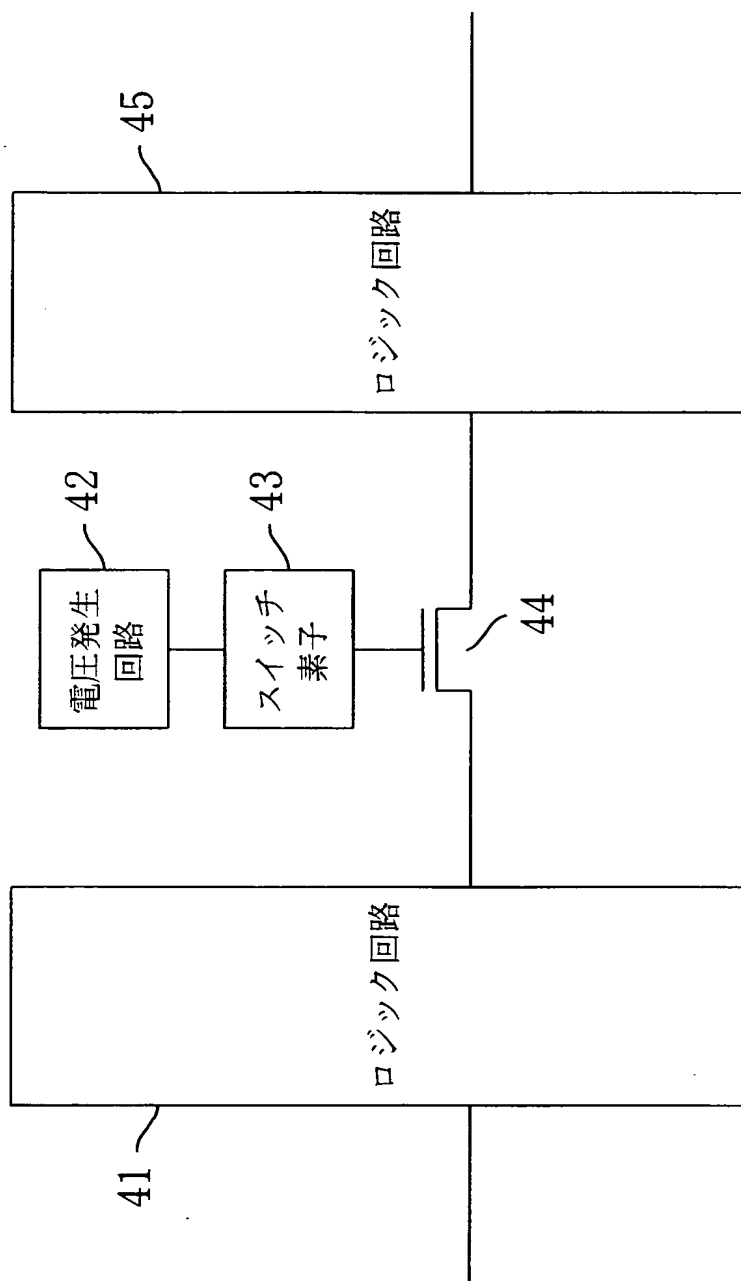




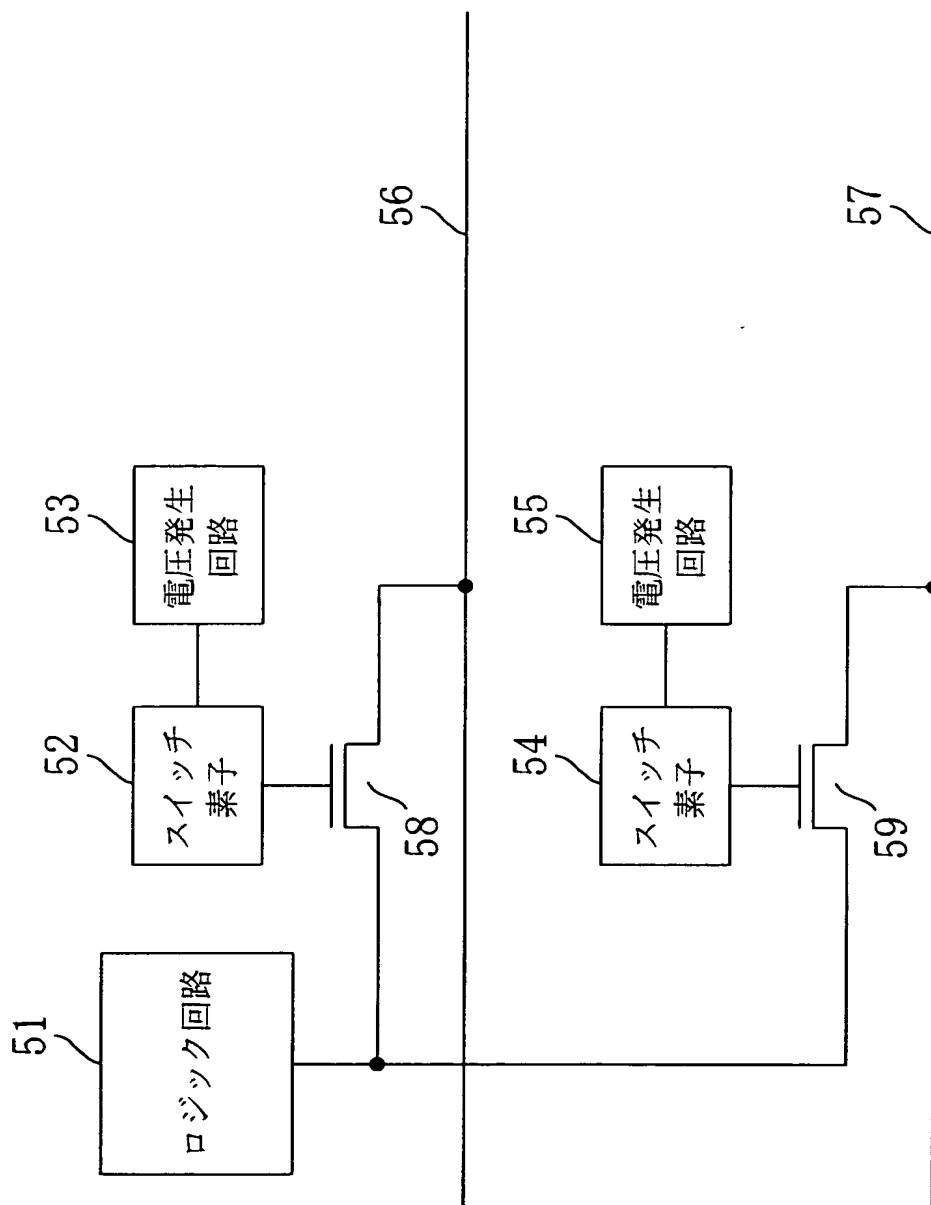
【図 8】



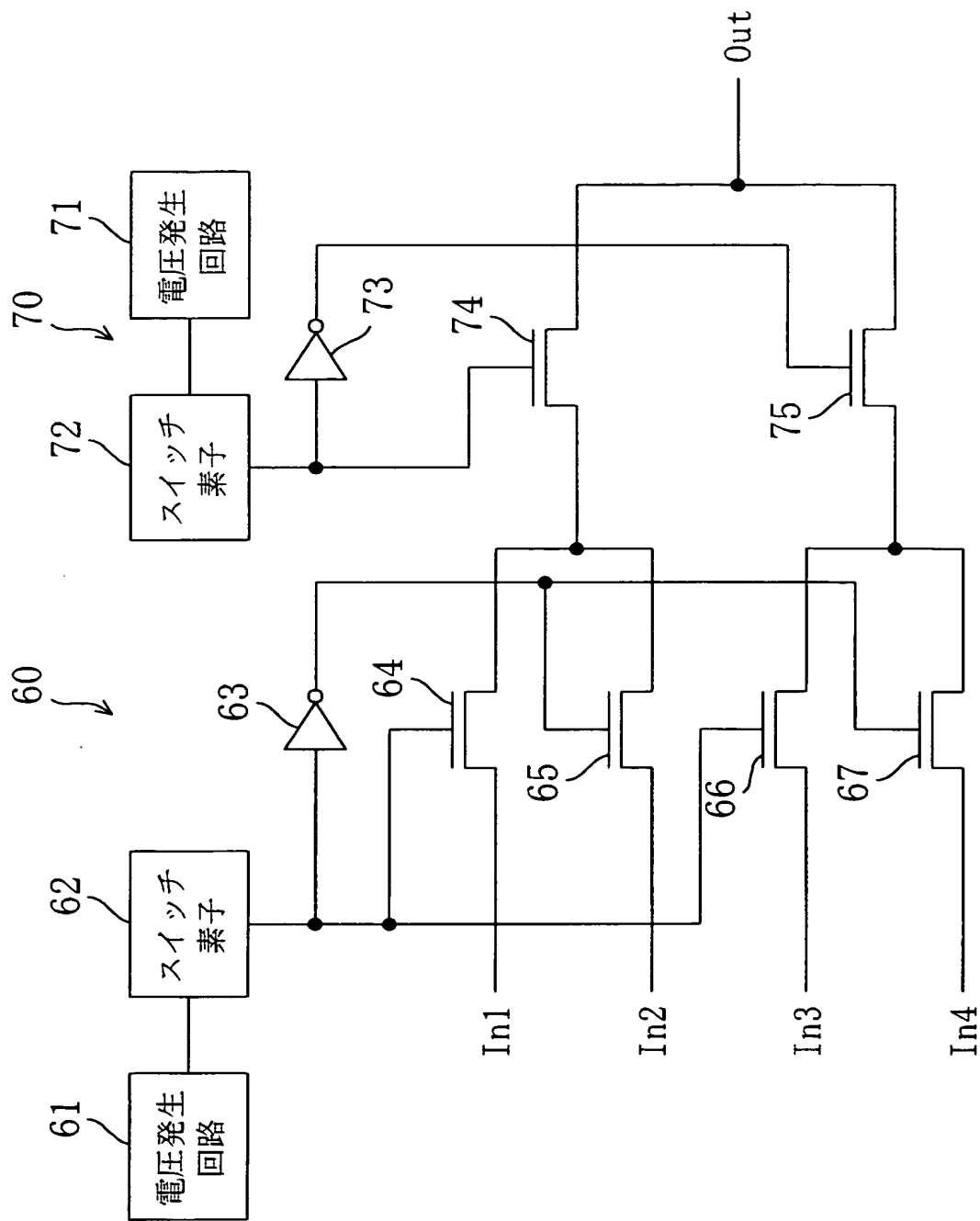
【図 9】



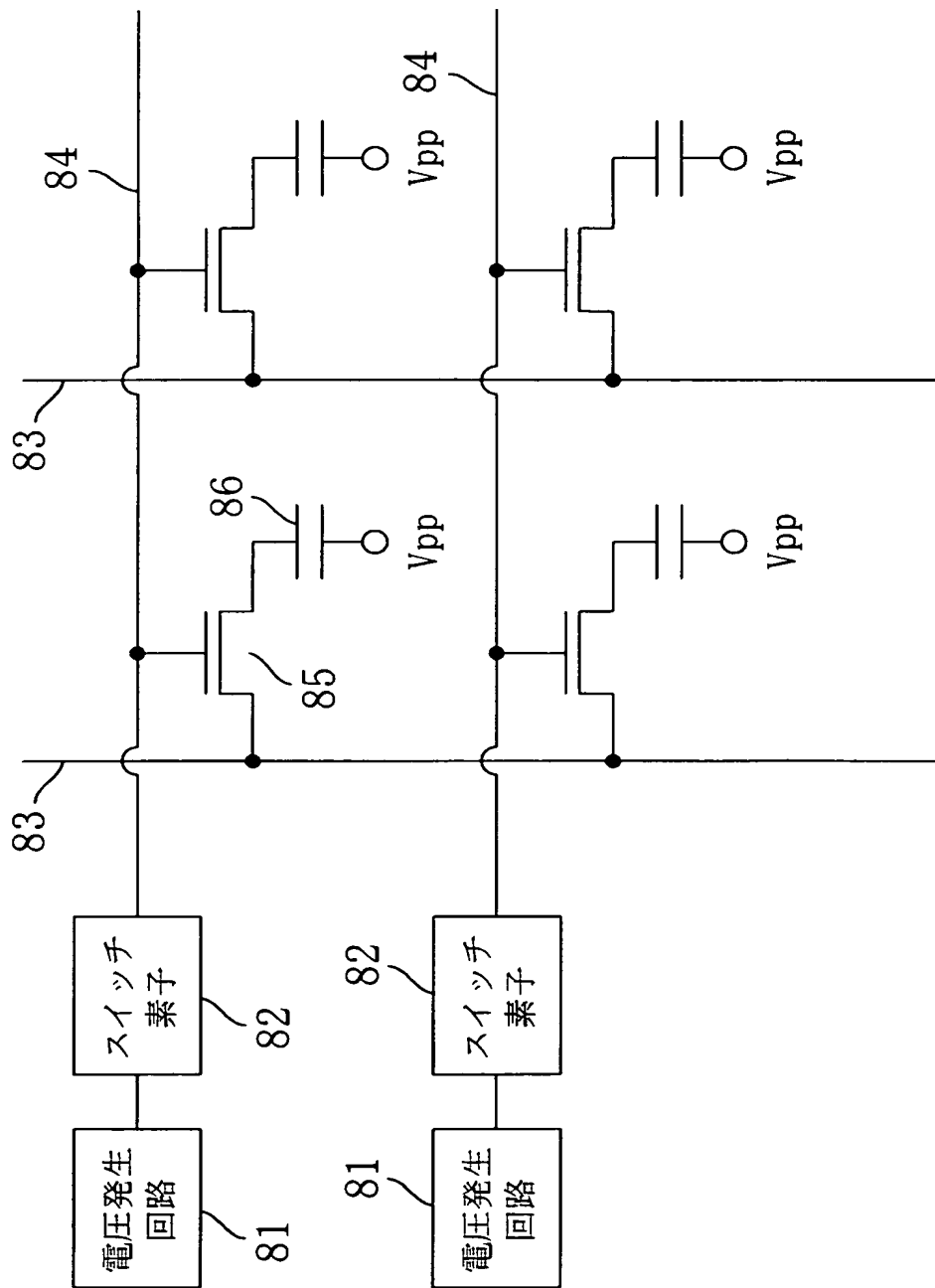
【図 10】



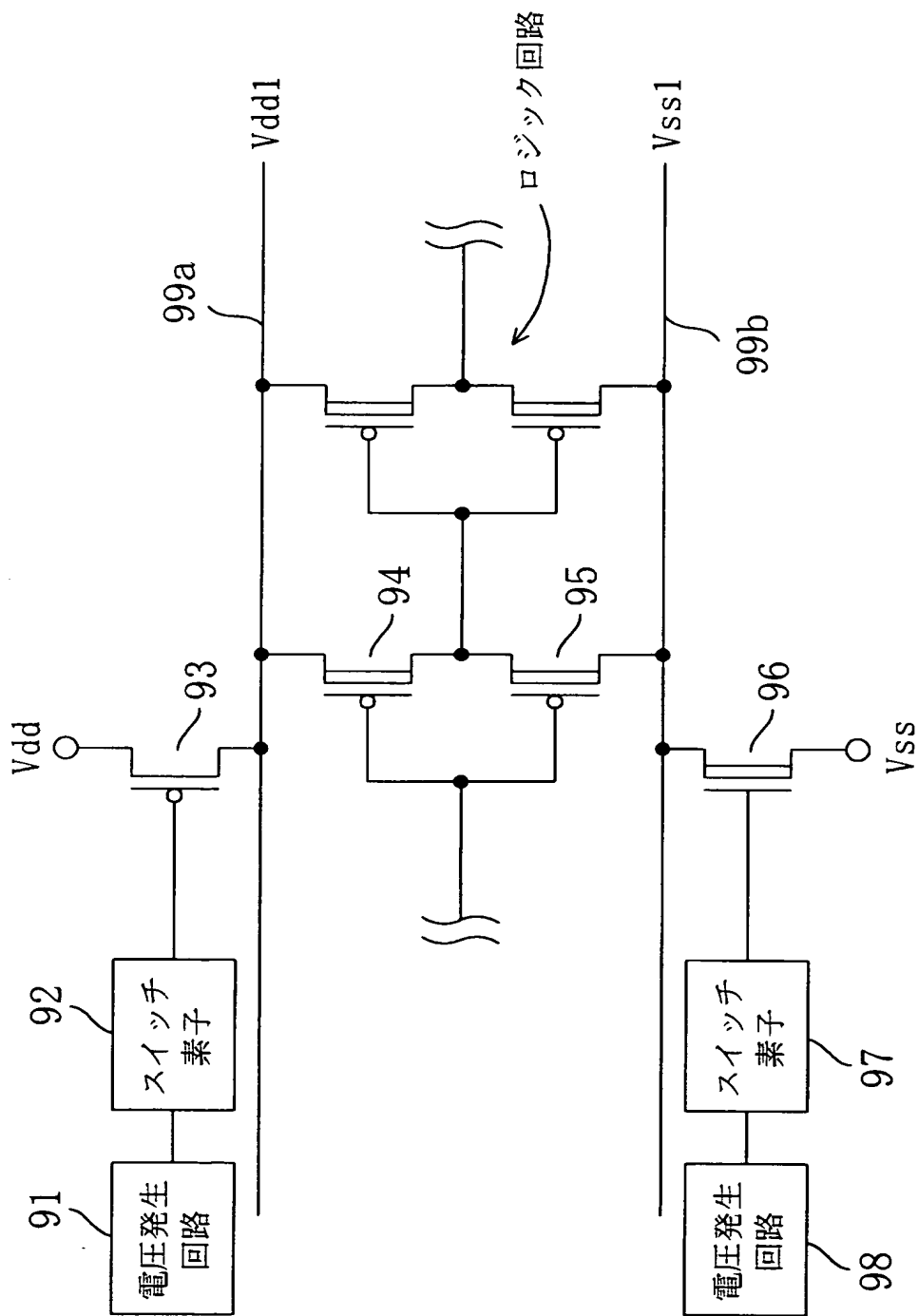
【図 11】



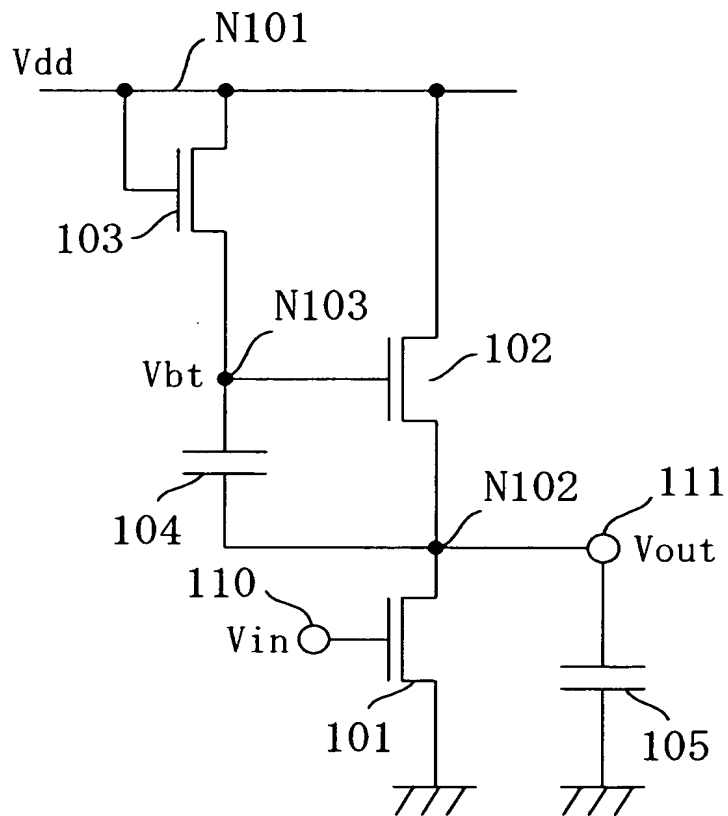
【図 12】



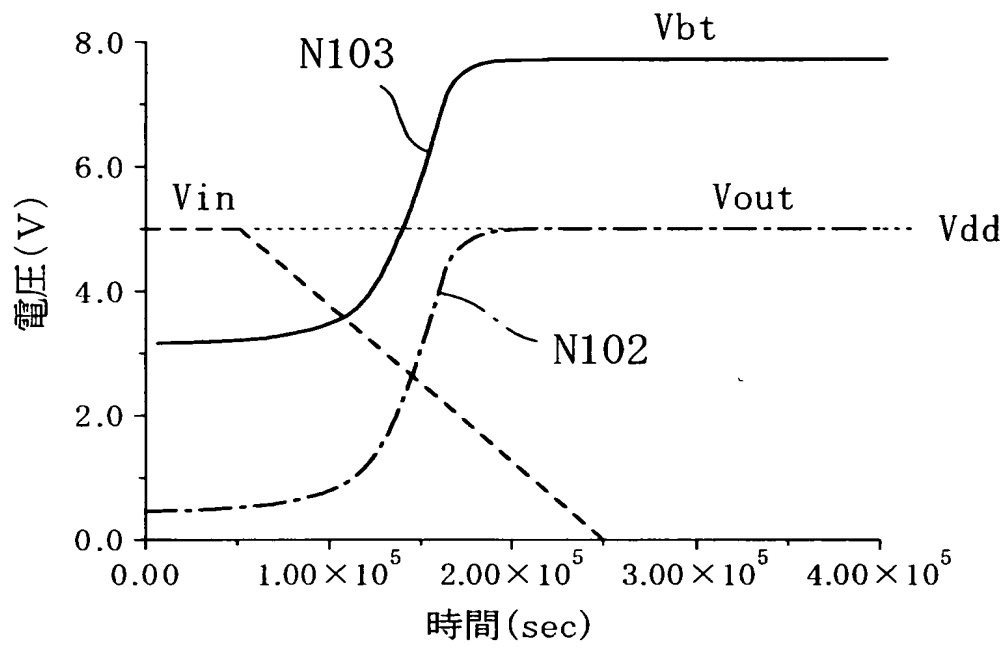
【図 13】



【図 14】



【図 15】





【書類名】 要約書

【要約】

【目的】 長時間安定に昇圧電圧を出力する機能を有する電圧発生回路，その駆動方法及びこれを利用した半導体集積回路を提供する。

【構成】 電圧発生回路は、常誘電体キャパシタ 4 と、強誘電体キャパシタ 6 と、2つのキャパシタ 4，6 の各一方の電極 4 a，6 a 同士を接続する接続ノード N 1 と、書き込み端子 3 と、リセット端子 7 と、リセット制御用トランジスタ 1 と、出力制御用トランジスタ 9 とを備えている。書き込み端子 3 とリセット端子 7 との間に電圧が印加されると、強誘電体キャパシタ 6 に分極が生じる。その後、書き込み端子 3 に電源電圧が印加されると、接続ノード N 1 には電源電圧と分極による電圧とを加算した昇圧電圧が生じ、出力制御用トランジスタ 8 がオンになって、出力ノード N 2 から出力端子 11 を介して昇圧電圧が出力される。

【選択図】 図 1

特願 2 0 0 2 - 3 1 0 0 3 2

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 0 0 5 8 2 1 ]

1 . 変更年月日

1 9 9 0 年 8 月 2 8 日

[変更理由]

新規登録

住 所

大阪府門真市大字門真 1 0 0 6 番地

氏 名

松下電器産業株式会社